



2023 半導体初級講座

通信講座・オンラインハイブリッドセミナー

【第2セッション 半導体設計編】

No.09-1 メモリ入門

講師：小川 公裕

サクセスインターナショナル株式会社



メモリ入門

目次

メモリ入門	1
1 半導体メモリとは	1
1.1 メモリ技術の変遷	1
1.2 メモリの役割	2
1.3 日本の半導体の位置付け	3
1.4 メモリ市場	4
1.5 SSD (Flash) と HDD の市場	5
2 半導体メモリの種類	6
2.1 SRAM (Static Random-Access Memory)	6
2.2 DRAM (Dynamic RAM)	10
2.3 Flash Memory	16
2.4 その他有望な不揮発性メモリ	21
2.4.1 FeRAM (Ferroelectric RAM)	21
2.4.2 MRAM (Magnetoresistive RAM)	22
2.4.3 STT-MRAM (Spin Transfer Torque RAM)	23
2.4.4 PCRAM (Phase Change RAM)	24
2.4.5 ReRAM (Resistive RAM)	25
3 半導体メモリの今後	26
3.1 今後の注目分野	26
3.2 AI チップの動向とメモリ	27
3.3 Embedded (混載) メモリ	29
3.4 5G、IoT、メタバース	29
3.5 データセンター	30
4 半導体メモリの設計技術	30
4.1 回路シミュレーション	30

4.2 メモリ BIST..... 32
 4.3 メモリ・ジェネレータ 33

図の目次

図 1.1-1 パンチカードからフラッシュメモリへ 1
 図 1.2-1 従来計算機を構成する CPU とメモリ 2
 図 1.3-1 半導体市場の地域別シェア推移 3
 図 1.4-1 半導体メモリ市場の推移 4
 図 1.4-2 半導体メモリの市場シェア 4
 図 1.5-1 外部記憶の主力は HDD から SSD へ 5
 図 1.5-2 NAND Flash と HDD の世界市場シェア 6
 図 2.1-1 SRAM セル 7
 図 2.1-2 SRAM アレイ 8
 図 2.1-3 SRAM 波形 9
 図 2.1-4 SRAM RMS パワー マップ 9
 図 2.1-5 SRAM MOS 数 対 RMS 消費電力 10
 図 2.1-6 SRAM GND 昇圧、電源降圧 平均値マップ 10
 図 2.2-1 DRAM の回路構成 11
 図 2.2-2 DRAM のデバイス構造 12
 図 2.2-3 トレンチ型 DRAM のデバイス構造と回路図 12
 図 2.2-4 シリンダー／ピラー型 DRAM のデバイス構造 13
 図 2.2-5 DDR2 によるメモリバス高速化 14
 図 2.2-6 バンク間のパイプライン化 15
 図 2.2-7 DRAM バンド幅の比較 と HBM の例 16
 図 2.3-1 フラッシュメモリの構造 17
 図 2.3-2 NAND と NOR 回路接続 17
 図 2.3-3 NAND 型フラッシュメモリの構造 18

図 1.1-1 の左に 1970 年代に使っていた紙ベースのパンチカードを示す。カードに空ける穴で 1 と 0 を表現する。これも立派なメモリである。縦に穴が 8 個並び、これで 8 ビット。そして横方向は 80 列、つまりプログラムを書く場合の 1 行は 80 文字に制限されていた。この制約は文字末端でプログラムを書くようになってからも暫くの間継続した。従って当時はプログラム変数名をなるべく短く書くように工夫したものだ。一方右の図は最近の 2TB フラッシュメモリである。比較しても仕方がないが、これはパンチカードで言うと 250 億枚に相当する。

1.2 メモリの役割

図 1.2-1 にメモリとプロセッサ(CPU)の役割を示す。両者は深い関係にあり共に発展して来た。CPU は制御と計算を行うものである。CPU にはプログラムそのもの及び大量のデータを格納するメモリが必須である。

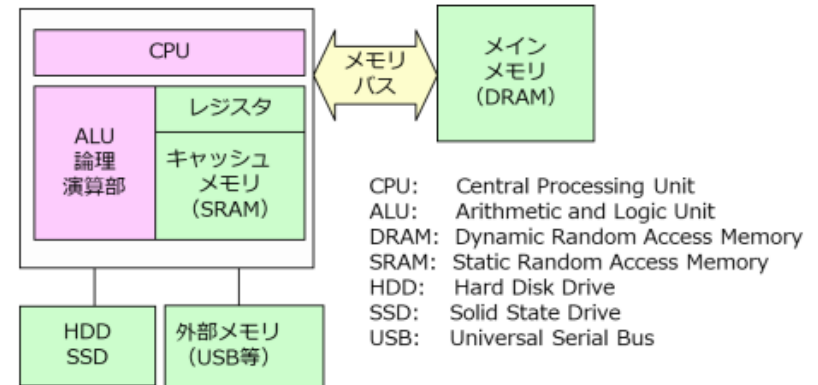


図 1.2-1 従来計算機を構成する CPU とメモリ

この図では制御する CPU と数値計算する ALU (Arithmetic logical Unit)、メモリを別に描いている。ALU は CPU の一部とも考えられる。緑のブロックは全てメモリであるが役割が分かれる。メインメモリはプログラム実行時のプログラム自身と必要データを取り込んでプログラムを実行するためのメモリで、現在は DRAM が主流である。メインメモリと CPU はメモリバスでデータをやり取りする。通常 CPU は DRAM よりも動作が速い、こ

NANDフラッシュ 市場シェア 2021 HDD 市場シェア 2021

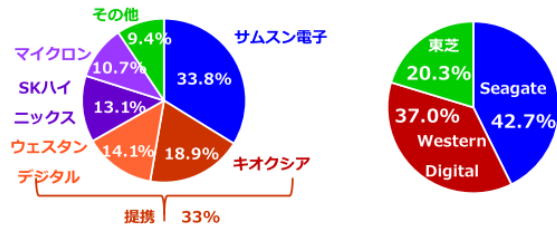


図 1.5-2 NAND Flash と HDD の世界市場シェア

2 半導体メモリの種類

細かく分類すると非常に多くの種類が存在するが、ここでは現在主流か近未来に有望と思われるメモリだけに絞って簡単に説明する。まず大きく分けて揮発性・不揮発性に分れる。揮発性とは電源を切ったらデータが消失してしまうメモリである。SRAMとDRAMがこれに相当する。一方揮発性よりは不揮発性メモリの方が好ましが一般的には低速であることが多いので、大容量の外部記憶メモリとして使うことが多い。

- Volatile 揮発性 (電源オフで消失)
 - SRAM (Static Random-Access Memory)
 - DRAM (Dynamic Random-Access Memory)
- Non-Volatile 不揮発性 (電源オフでも保持)
 - Flash Memory
 - FeRAM (Ferroelectric RAM) 強誘電体 RAM キャパシタ層
 - MRAM (Magnetoresistive RAM) 磁気抵抗 RAM 配線層
 - PCRAM (Phase Change RAM) 相変化 RAM MOS層
 - ReRAM (Resistive RAM) 抵抗変化 RAM 配線層

現在、不揮発性はFlashの独壇場である、しかし、高速性やCMOSプロセスとの親和性が高い新しいタイプのメモリも続々と提案されており、チップ内に形成出来、ロジックと混載可能な不揮発性メモリがDRAM等を脅かす可能性も高まっている。

2.1 SRAM (Static Random-Access Memory)

SRAMとは要するにフリップフロップ (Flip Flop) であり、D-latch、D-FF等の仲間である。図 2.1-1 にSRAMセルの基本回路を示す。PMOS (P-ch MOS)とNMOS (N-ch MOS) が対になってインバータを構成する。これを2つ閉ループで繋げると記憶素子として働く。つまり、左図のmが1ならmxは0、mが0ならmxは1で落ち着く。ここにワード線 (アドレス) を制御信号としてバスゲート (NMOSで作るスイッチ) でBL (Bit Line) とBLX (Bit Line) を接続し、信号の入出力が出来るようにするとMOS6個によるSRAMセルが出来上がる。□で囲った部分回路は右図に示すようにインバータである。これを△のシンボルで簡略化して描くが、左の回路は上の回路の様にインバータが2個閉ループで接続されていると分かる。

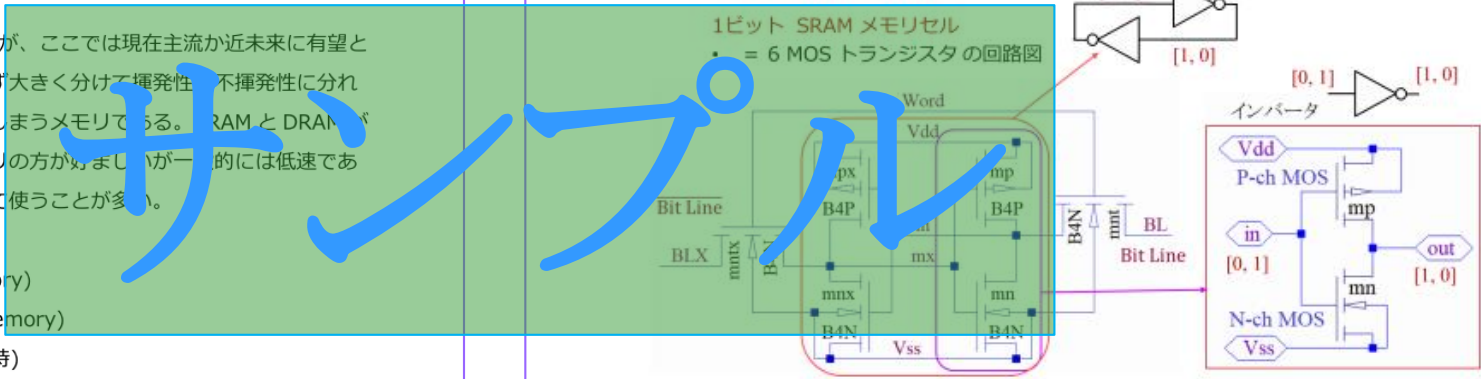


図 2.1-1 SRAMセル

このSRAMセルを2次元アレイ状に並べて繋いだものがSRAMアレイである。図 2.1-2 に示す。全体のビット数=アドレス数×データのビット数=行数×列数である。データ長(ワード長)は32ビットとか64ビットが取られることが多いので、アドレス=行アドレス×列アドレスとして、列方向にも複数ワード置くことになる。こうしないとアレイのレイアウトが物凄く縦長になってしまう。

✓ 2020年 SKhynix 世界初 DDR5 16GB 量産、PC 搭載は 2022 年と幾つもの世代があるのだが、DDR2 に関して 図 2.2-5 で説明する。上位世代の DDRn も数が異なるだけで原理的には同じである。

DDR2 の場合 DRAM の速度に対して 4 倍速でのメモリバス転送を行う。そのために DRAM メモリを一度に 4 個並列に扱い、DRAM の 1 周期の間に 4 個の異なる DRAM のデータをプリフェッチ (予め読み込み) して 1/4 周期ずつずらせて結合する。これをメモリバスに流すことで 4 倍速での CPU-DRAM 間転送が実現する事になる。4 つの DRAM のデータを 1/4 周期ずつずらせて 1 本の信号にまとめる様子を同下図に示す。

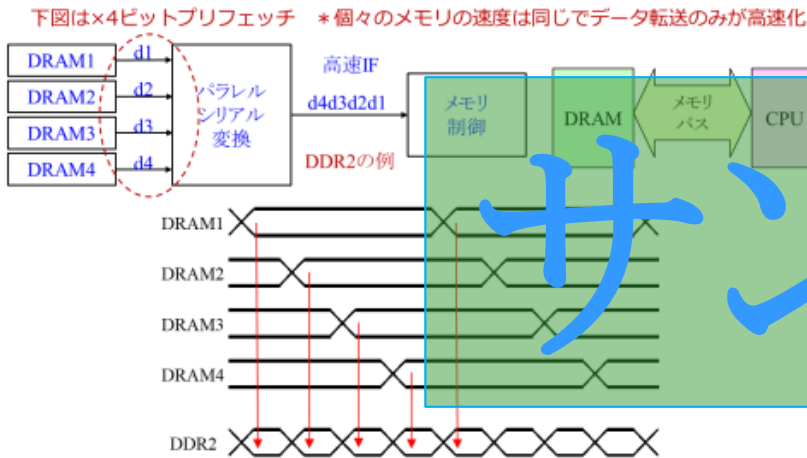


図 2.2-5 DDR2 によるメモリバス高速化

図 2.2-6 にはバンク間のデータをパイプライン化することで高速化を図る工夫を説明する。上図の様に 4 個の DRAM バンクがデータバスを共有している場合、Bank0 のデータを RW している間に、Bank1 のアドレス指定までを進めておく。これを連ねる事で、下図のタイミングチャートの様に、ある程度の全体アクセス時間の短縮が可能となる。

対象アドレス以外のゲートを全て ON にすれば、対象アドレスのフローティングゲートへのデータ入力 d_{in} の反転値 \bar{d}_{in} が出力に現れる。つまり NAND 動作になっている。

NOR 型に比べて書き込みは高速、高集積化に有利である。データストレージ用。携帯電話、デジタルカメラ、デジタルオーディオプレーヤーなどの記憶媒体として広く普及し価格も低下している。

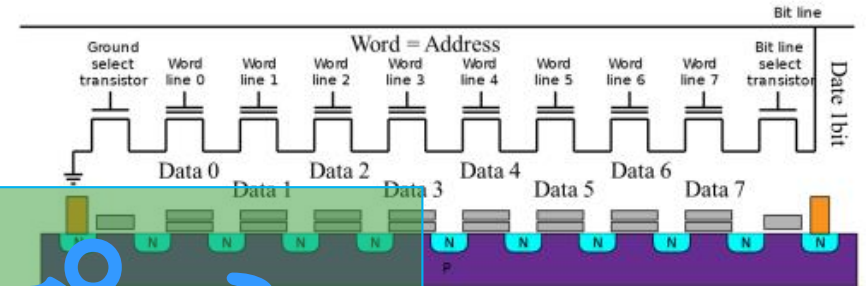


図 2.3-3 NAND 型フラッシュメモリの構造

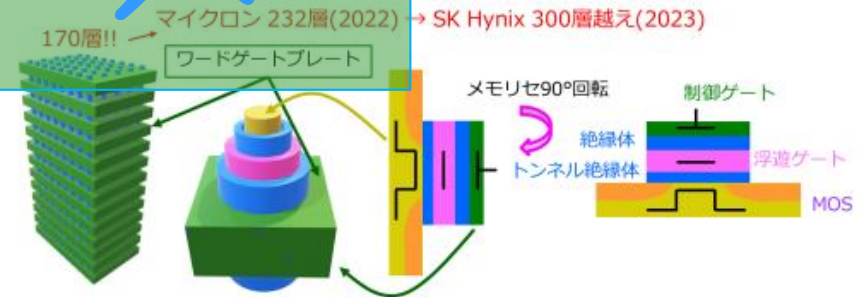


図 2.3-4 3D-NAND BiCS の構造

ここで、キオクシアの 3D-NAND BiCS (Bit Cost Scalable) と呼ばれるデバイスの構造を説明する。図 2.3-4 の右の図がフラッシュ単体デバイスである。これを 90°回転させると、その左にあるデバイスと方向が一致する。各色は対応する同じ部分を示してい

- 比較的単純な構造で高密度化が可能。
- 読み出し時間が DRAM 並みで高速である。

3 半導体メモリの今後

最近の半導体に対する要請とそれに伴うメモリの果たすべき役割、今後の展開に関して説明する。

3.1 今後の注目分野

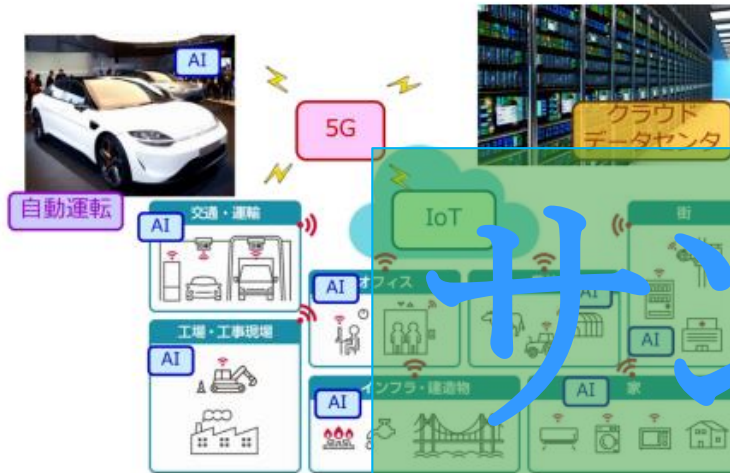


図 3.1-1 今後の注目分野



図 3.1-2 メタバース会議例

メモリはデジタル回路とは言え、その設計はアナログ技術に支えられている。従ってメモリの設計検証には回路シミュレータの精度が必要である。しかしながら、メモリは巨大な回路なので、全体を回路シミュレータで扱うのは不可能である。

そこで、図 4.1-1 左図の様に、メモリ回路全体の解析精度をアナログ回路レベル、アナログ負荷レベル、デジタル回路レベルとレベル分けし、全体をアナログ/デジタル・ミックスドモード・シミュレータを使って、なるべくアナログ回路レベルの部分を削減して計算を高速化する工夫が行われる。どこをアナログ、どこをデジタルの精度で扱うかは評価項目と必要精度によって切り替える必要がある。

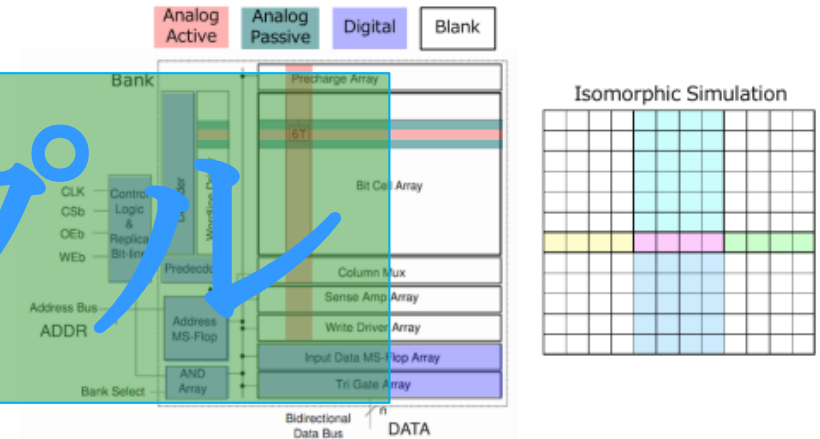


図 4.1-1 メモリの回路シミュレーション

また、回路シミュレータ自体にも、少し精度が落ちるが、メモリの繰り返し構造を利用して高速化する方法がある。図 4.1-1 右図の様に、メモリアレイに対して、今 ピンクの部分のワードがアクセスされるとすると、色分けした各部分内では、各メモリセルは、ほとんど同じような動きをしていると考えられる。また残りの白い部分は単に負荷であって、一つ一つの動きを細かくシミュレーションする必要は無い。この考え方から各部分を一つのメモリセル回路に代表させて計算を省略する。これが Isomorphic (同一構造) という高速化手法である。勿論、厳密に見ていけば、複数のメモリセルが全く同じ動作と