

# 1 CMOSセンサ 1億超画素、AI搭載



## CMOS イメージセンサ アナログ回路の基礎とシミュレーション方法

サクセス インターナショナル株式会社

<https://www.success-int.co.jp/>

LSI設計技術部長: 小川 公裕

Ogawa-Kimihiro@success-int.co.jp

<https://www.success-int.co.jp/ogawa-kimihiro/>

ソニー 2021年3月。有効**1億2768万画素**の産業機器向け大型CMOSセンサを商品化  
IMX661は、産業機器向けとして一般的であるCマウントレンズ対応1.1型イメージセンサーの約10倍の面積となる**3.6型(対角56.73mm)**の大型の光学サイズに**3.45 $\mu$ m**の画素サイズを採用し、**グローバルシャッター**機能を搭載したCMOSセンサ

ソニー 2020年5月  
**AI処理機能を搭載したイメージセンサ**

### < ロジックチップの主な搭載機能 >

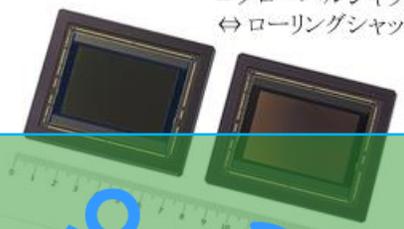
- ✓ 通常のイメージセンサー信号処理
- ✓ 画像処理を行うISP
- ✓ AI処理に特化した独自のDSP
- ✓ AIモデルを保持するメモリー

⇒ 高性能プロセッサや外付けメモリー不要



インテリジェントビジョンセンサーの積層構造イメージ

全体を同時に開閉  
= グローバルシャッター  
⇔ ローリングシャッター

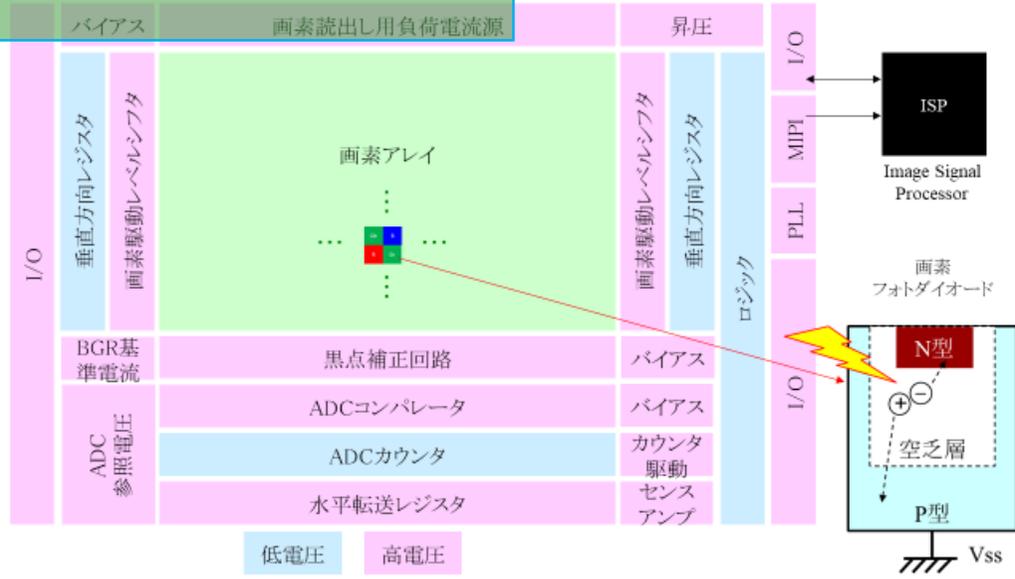


# サンプル

## 目次

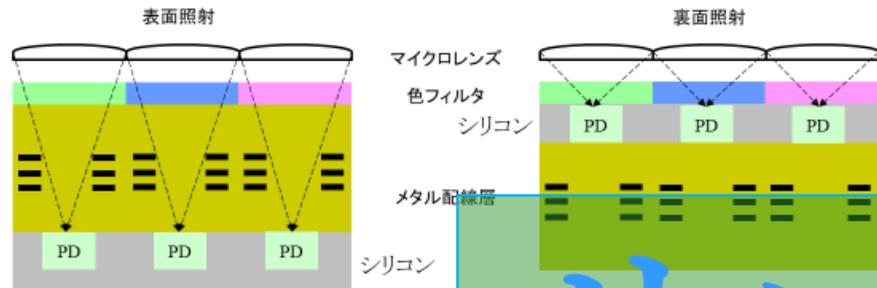
1. CMOSイメージセンサの動向	003	6. Spiceを使ったCMOSイメージセンサの解析	055
2. CMOSイメージセンサの構成・動作原理 011		7. DC解析	057
1. フォトダイオード	013	1. Spiceの解析の種類	056
2. 信号の流れ	014	1. 計算アルゴリズム	058
3. 光学素子	017	2. オプションパラメータ	060
4. ISP: Image Signal Processor	018	3. パラメータの設定法	061
5. 光源と色温度	020	4. ホモトピー法	076
3. 画素セルの基礎知識	021	8. AC解析、ノイズ解析	078
1. 基本動作	023	1. 計算アルゴリズム	079
2. 基本項目	024	9. 過渡解析	082
3. アナログ回路 勘所	028	1. 計算アルゴリズム	083
4. 空間分解能	029	2. オプションパラメータ	085
5. 1画素とは	031	3. パラメータの設定法	089
4. CMOSイメージセンサのアナログ回路	032	10. CMOSイメージセンサの解析実施例	101
1. ソースフォロフ	033	1. 100x100 Pixel アレイ	102
2. 定電流源	035	2. 100x100 Pixel アレイ シミュレーション	112
3. ADCの方式	041	質疑応答	123
4. Single-Slope ADC	042	最後に	124
5. CMOSイメージセンサの画質問題	047	11. 付録	125
1. 横スミア(ストリーキング)	048	1. LTEに基づく刻み時間(Time Step)制御	126
2. 暗時シェーディング	049	2. 過渡ノイズ解析	128
3. 読出しノイズ	050	3. ToF: Time of Flight 距離測定	132
4. 行ノイズ	054		

## 2 CMOS イメージセンサ—概観



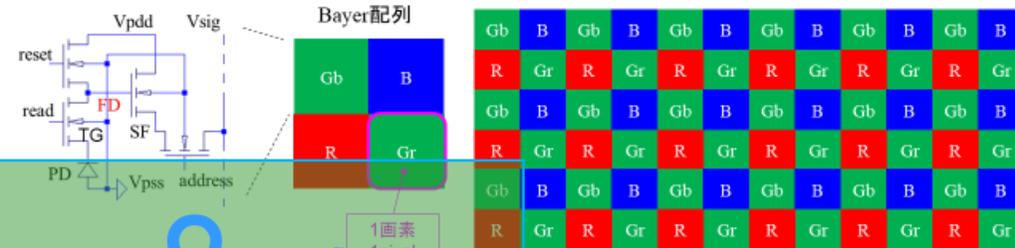
## 2.3 光学素子

- 光学素子の形成 表面照射と裏面照射の2種類あり
  - 色フィルタ (RGB選択) → 色毎の光強度
  - マイクロレンズ: PD (Photo Diode)への集光
- 裏面照射の方がPDとレンズの間に余計なものが挟まらない分、光学的に有利



## 3.4 空間分解能

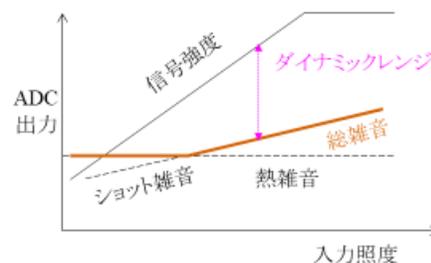
- 画素セル配列 「Bayer配列」
  - ✓ CISでは、赤、青、緑と色毎にその光強度をAD変換する。
  - ✓ 「どの色の画素セルをどこに配置するか？」について、最も広く使われているのが Bayer配列と呼ばれるものである。
  - ✓ 2x2の4画素(Pixel)で一まとまりとなっており、一まとまりの中に2つの緑用画素セルが含まれる。それらを区別する為に、青の隣の緑画素:Gb 赤の隣の緑画素:Gr と呼んでいる。



## 3.2 基本項目

10. CIS雑音とSN比
- CISで見られる雑音には、大きく分けて2つある;
- ✓ 熱雑音: 入力照度に依らず、一定な雑音成分。特に暗時に目立つ。これ以下の強度の入力信号は雑音に埋もれてしまう。
  - ✓ ショット雑音: 入力照度の増加と共に増える雑音。明時の雑音の支配項。信号強度と総雑音との差異をダイナミックレンジと呼ぶ。

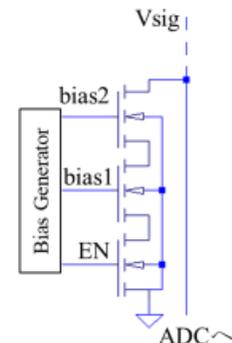
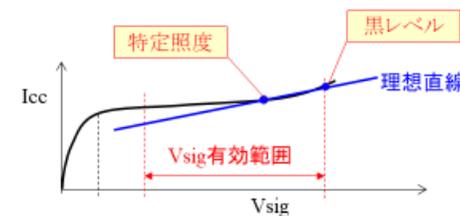
量子光学においては、ショット雑音の原因は検出される光子数のゆらぎである。したがってエネルギー(この場合、電磁場が持つエネルギー)が離散化されている結果として生じるものだとする。ショット雑音は量子雑音の主体である。



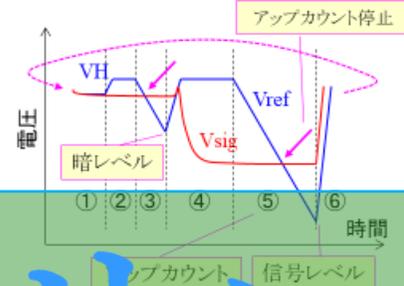
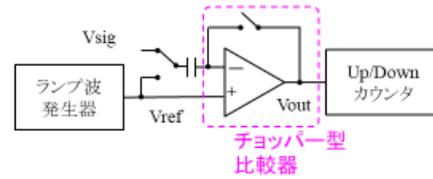
## 4.2 定電流源

I-V特性を極力フラットにしたい理由

- 光照度線形性は、黒レベルと、特定の照度(Full bitの1/10等)とを結んだ直線を理想とし、その追随性を示す。下図の様に、I-V特性が右端で歪んでいると、理想直線が不要な傾きを持つ。
- 特に高 Vsigg 側の衝突イオン化による電流増は、線形性を大きく損なうので要注意。
- また本来水平が理想の I-V特性の傾きも、「Vsigg値によって電流値が異なる」事になるので、Vsiggの遷移時間差異を生み、ADCの誤差要因となる。

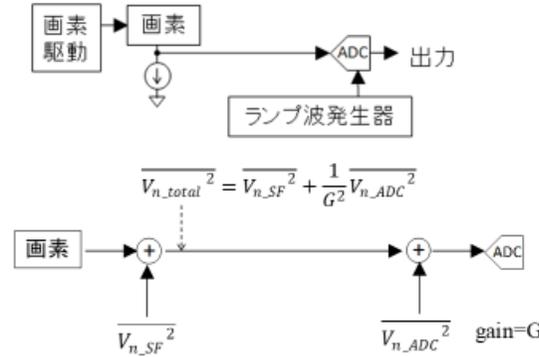


## 4.4 Single-Slope ADC



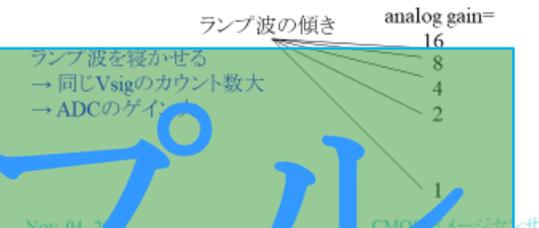
- ④ Vref 回復と PD (Photo Diode) 電荷転送  
Vref をリセットレベル電圧 VH に回復させる。画素セルは PD に蓄積された電子を FD (Floating Diffusion) に転送。これに伴い Vsig が減少する。カウンタは③のダウンカウント値を持ったままアップカウントに切替。
- ⑤ 信号 ADC  
Vref 減少とアップカウント開始。Vref < Vsig となった時点で、コンパレータ出力 Vout が L となりアップカウントを停止。カウンタには、(アップカウント値) - (ダウンカウント値) が残っており、(信号レベル AD 変換値) - (暗レベルの AD 変換値) が記録される。
- ⑥ Vref & 画素読み出し信号電圧回復  
Vref と Vsig を次の行の AD 変換に備え準備。

## 5.3 読出しノイズ



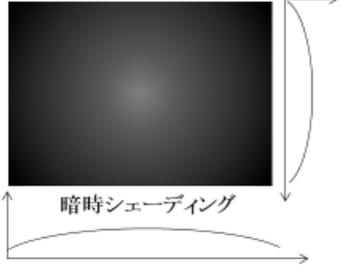
$$V_{n\_total}^2 = V_{n\_SF}^2 + \frac{1}{G^2} V_{n\_ADC}^2$$

- 総ノイズ  $V_{n\_total}$
- Single-slope ADC では、ゲイン G はランプ波の傾き (時間軸) 調整で行う。
  - ランプ波発生器出力に含まれるノイズは ADC の入力換算ノイズとして考慮する。
  - ランプ波発生器は全列で共有するので回路面積を大きく出来、ランプ波発生器出力ノイズを各段に小さく出来る。
  - 逐次比較型やサイクリック型では、列毎に PGA (小面積でノイズ大) が必須な為、Single-slope 型よりも読出しノイズが大きくなる傾向にある。



# サンプル

## 5.2 暗時シェーディング DSHD: Dark Sharing



- 全画面で暗時を撮像しても、画素セルの座標によって、ADC 出力に分布傾向が認められる。この傾向を暗時シェーディングと呼ぶ。
- 暗時シェーディングは、水平方向(断面)と垂直方向(断面)に分けて分析・対策する。
- 実評価では読出しノイズの影響を取り除く為、数枚の暗時画像の平均値をプロットする事が多い。

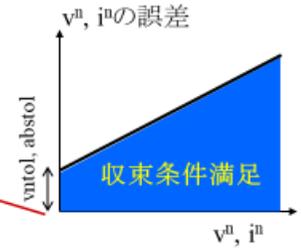
カラム ADC を採用している CIS では以下の様な傾向がある:

- 垂直シェーディング
  - ✓ 画素アレイ、画素駆動回路起因。
  - ✓ 画素周辺回路からの発光、熱伝搬により画素アレイ境界付近が白浮きする場合あり。
- 水平シェーディング
  - ✓ 画素アレイ、画素駆動回路、定電流源、列 ADC どれも寄与。またロジック部の動作タイミング(雑音混入)も寄与する場合あり。

## 7.3 パラメータの設定法 reltol, abstol, vntol

- ①②式における最重要パラメータは reltol である
- 通常絶対値が大きい所では許容誤差も大きくてよい
- vntol, abstol は電圧、電流が 0 付近にある場合のオフセットで、これがないと①②式は収束しなくなってしまう

$\Delta x < 0 \times reltol$  では収束しなくなる

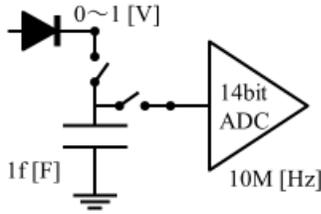


- ①  $|v^n - v^{n-1}| < reltol \cdot \max(v^n, v^{n-1}) + vntol$  電圧誤差
  - ②  $|i^n - i^{n-1}| < reltol \cdot \max(i^n, i^{n-1}) + abstol$  電流誤差
  - ③  $|\sum_{node\ m} i_m^n| < reltol \cdot \max(|\sum_{node\ m} i_m^{n-1}|, |\sum_{node\ m} i_m^n|) + abstol$  KCL 誤差
- ここでは  $\sum_m i_m$  は 0 となるはずで、実質的には  $abstol$  が判定基準

### 7.3 パラメータの設定法 CISの例

- 下図のように、入力ダイオードから  $0 \leq V_{in} \leq 1 [V]$  のアナログ信号が入って来て、それを一旦  $1f [F]$  の容量に溜めておいて、 $10M [Hz]$ 、14ビットのADCに掛けるとした場合、Spiceのオプション `reitol`, `vntol`, `abstol` は夫々の位(十分条件)に設定しておくべきか?
- LSB電圧 =  $1[V] * 2^{-14}$  が識別できる精度が必要 → `reitol` はLSBの1/2弱。
- `vntol` は `reitol` で決まる最小電圧の半分程度。
- DC的には電流流れず `abstol` の基準無し → とりあえずデフォルトで。  
Tran解析時には設定する(後述)。
- `abstol` 同様 `gminDC` も決定打無し。0が好ましいが、DCOP収束が難しければ小さ目の値を。Tran解析では `gmin=0` とする(後述)。

回路的には電圧精度が重要



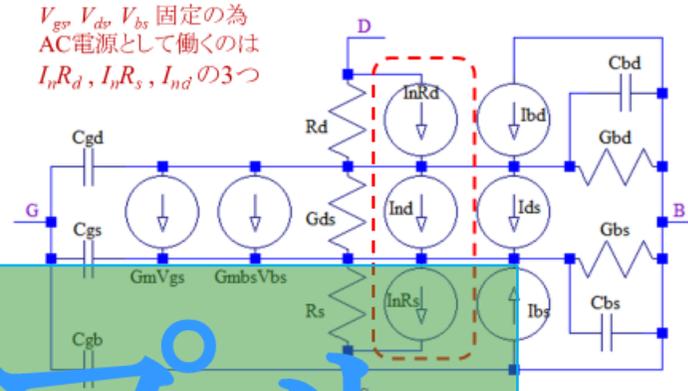
Vsig	C	Freq	LSB: $2^{-14}$
1.0	1.00E-15	1.00E+07	6.10E-05
reitol	1.83E-05	LSB*0.3	
vntol	9.16E-06	Vsig*reitol*0.5	

\*ここでは厳密に考えたが、`relref`, `pointlocal` 以外ではMax()の取り方から考えて、`vntol`はあまり意味が無く、`reitol`だけで誤差精度が決まるので0.5で済む。

### 8.1 計算アルゴリズム Noise(雑音)解析

- 下にノイズ解析用のMOSの線形化等価回路を示す。
- $I_n R_d, I_n R_s$  は  $R_d, R_s$  それぞれの熱雑音源、 $I_{nd}$  はMOSのフリッカー雑音源
- 雑音電源を置いた後の計算はAC解析と全く同じである。

$V_{gs}, V_{ds}, V_{bs}$  固定の為  
AC電源として働くのは  
 $I_n R_d, I_n R_s, I_{nd}$  の3つ



$$G_m = \partial I_{ds} / \partial v_{gs}$$

$$G_{mbs} = \partial I_{ds} / \partial v_{bs}$$

$$G_{ds} = \partial I_{ds} / \partial v_{ds}$$

$$G_{bd} = \partial I_{bd} / \partial v_{bd}$$

$$G_{bs} = \partial I_{bs} / \partial v_{bs}$$

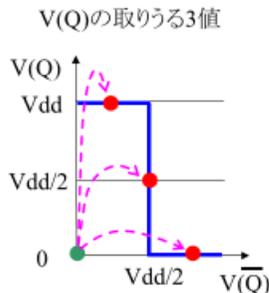
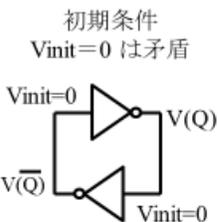
$I_n R_d$ : Thermal Noise  
 $I_n R_s$ : Thermal Noise  
 $I_{nd}$ : Flicker Noise

### 7.3 パラメータの設定法 nodeset

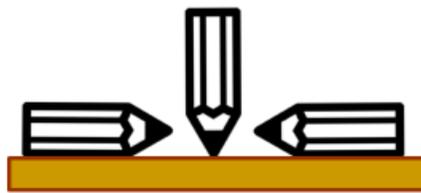
#### FFで頻発する問題

理論上はFFは 0, Vdd/2, Vdd の3値を取りうる。Vdd/2 は不安定解で、現実には雑音等ですぐに 0 か Vdd に変化する逆立ちした鉛筆の様なもの。しかし計算機上では Vdd/2 に収束することは普通に起こる。

また `nodeset` しない場合の 全電圧=0 は、FFに対しては完全に矛盾している。DCOPではFFを 0 か Vdd の安定解に収束させることが重要で、それは FF の `subckt` 内に `nodeset` を書くことで簡単に実現できる。書くなら Vdd (ないと0だから)



不安定解

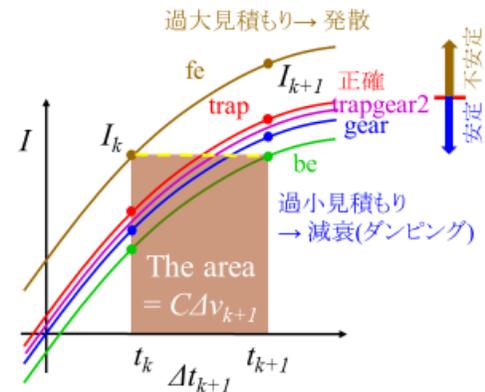


### 9.3 パラメータの設定法 積分法の選択

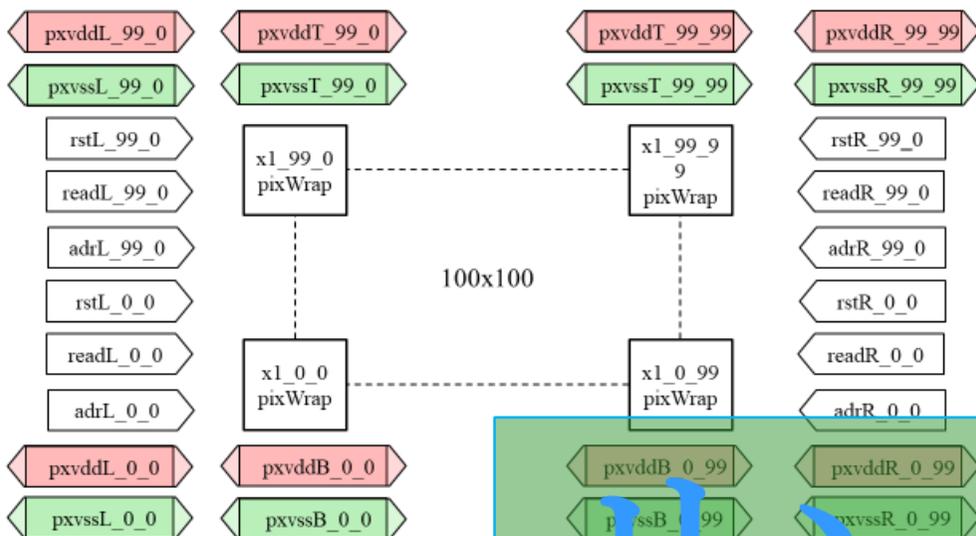
method = be, trap, gear, trapgear2

$$C \Delta v = \Delta Q = \int_{t_k}^{t_{k+1}} I(t) dt$$

- 積分法の選択とは上記積分をどの方法で行うか、ということ。
- fe: Forward Euler 不安定なのでFast Spice等を除き、Pure Spiceでは使わない。
- trap: Trapezoidal 最も正確だがリングングが発生する。
- trapgear2: trap と gear を交互に用いる。
- gear: Gear2 安定だが減衰が起こる。
- be: Backward Euler 急激な変化点で使われる1次の積分。



## 10.1 100x100 Pixel 配置と電源、入力信号



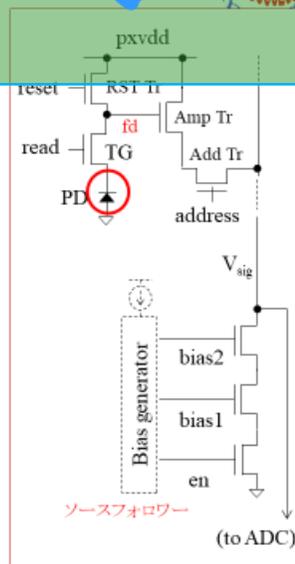
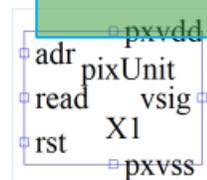
Nov. 04. 2021

CMOS イメージセンサ 回路とシミュレーション

103

## 10.1 100x100 Pixel pixUnit

- 1個のPixel Photo Diode は電流源で代用



ソースフォロワー

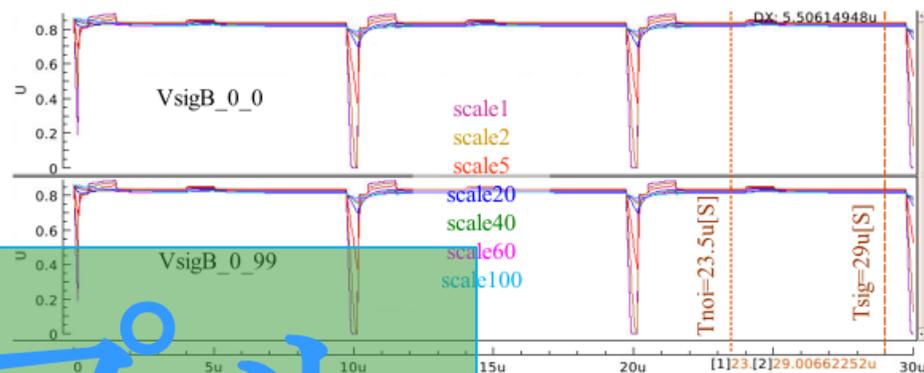


105

## 10.2 100x100 Pixelアレイのダークシェーディング



- 前述のシミュレーションを複数の配線RC値に対して実施して比較  
scale1: 元のRC値、scaleN: 元のRC値を夫々N倍する。
- 例として scale1~scale100 に対する 0列と99列のVsigBの波形を示す



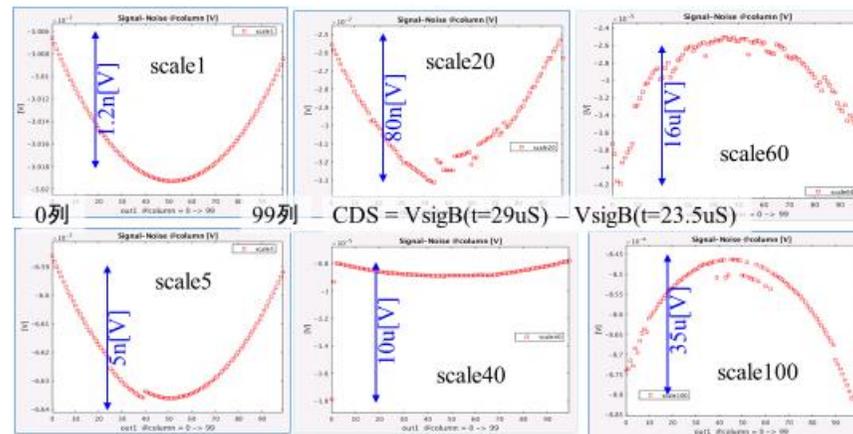
Nov. 04. 2021

CMOS イメージセンサ 回路とシミュレーション

113

## 10.2 100x100 Pixelアレイのダークシェーディング

- 理想的には黒イメージに対してCDS値は全て 0 であるが、実際には寄生RCの影響で値が出る。CDS値は全列で一定であって欲しいが違いが発生する。
- 1[V]、14ビットの許容誤差は30u[V]なので、scale100は満たしていない。



Nov. 04. 2021

CMOS イメージセンサ 回路とシミュレーション

116

サポ