



CMOS イメージセンサ アナログ回路の基礎とシミュレーション方法

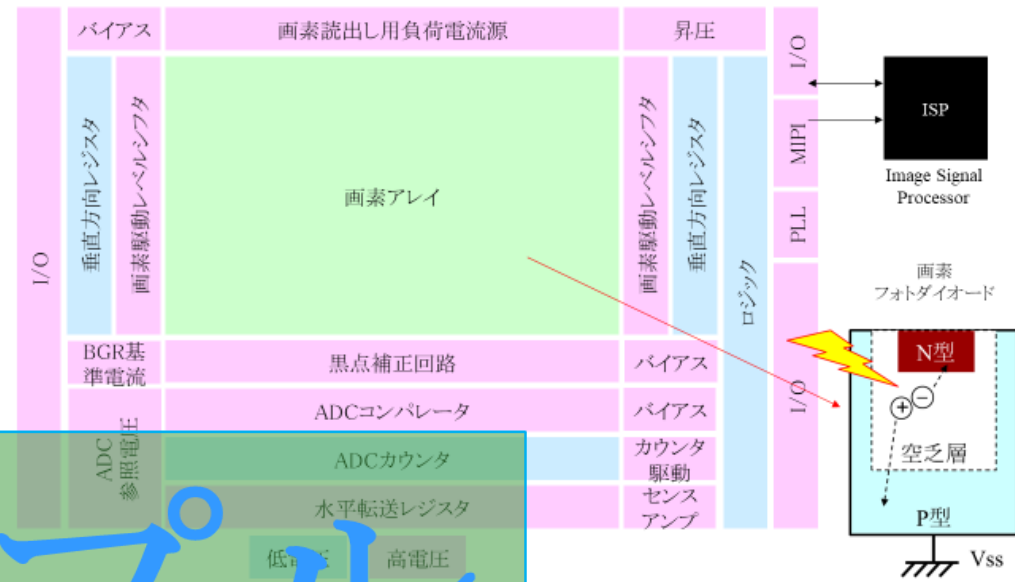
Sep. 22. 2021

サクセスインターナショナル 小川 公裕

Ogawa-Kimihiro@success-int.co.jp

ご参考URL <https://www.success-int.co.jp/ogawa-kimihiro/>

1 CMOS イメージセンサ—概観



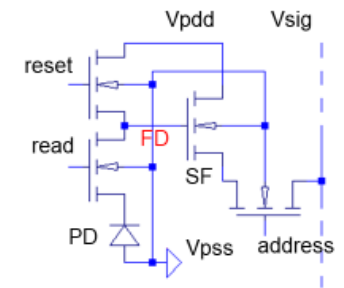
サンパル

目次

1 CMOS イメージセンサ—概観	003	4.3 読出しノイズ	042
1.1 フォトダイオード	005	4.4 行ノイズ	046
1.2 信号の流れ	006	5 Spiceを使ったCISの解析	047
1.3 光学素子	009	5.1 Spiceの解析の種類	048
1.4 ISP: Image Signal Processor	010	6 DC解析	049
1.5 光源と色温度	012	6.1 計算アルゴリズム	050
2 画素セル	013	6.2 オプションパラメータ	052
2.1 基本動作	015	6.3 パラメータの設定法	053
2.2 基本項目	016	6.4 ホモトピー法	068
2.3 アナログ回路 勘所	020	7 AC解析、ノイズ解析	070
2.4 空間分解能	021	7.1 計算アルゴリズム	071
2.5 1画素とは	023	8 過渡解析	074
3 アナログ回路	024	8.1 計算アルゴリズム	075
3.1 ソースフォロワ	025	8.2 オプションパラメータ	077
3.2 定電流源	027	8.3 パラメータの設定法	081
3.3 ADCの方式	033	9 CIS 解析実施例	093
3.4 Single-Slope ADC	034	9.1 100x100 Pixel アレイ	094
4 画質問題	039	9.2 100x100 Pixel アレイ シミュレーション	104
4.1 横スマア(ストリーキング)	040	10 付録	115
4.2 暗時シェーディング	041		

2 画素セル

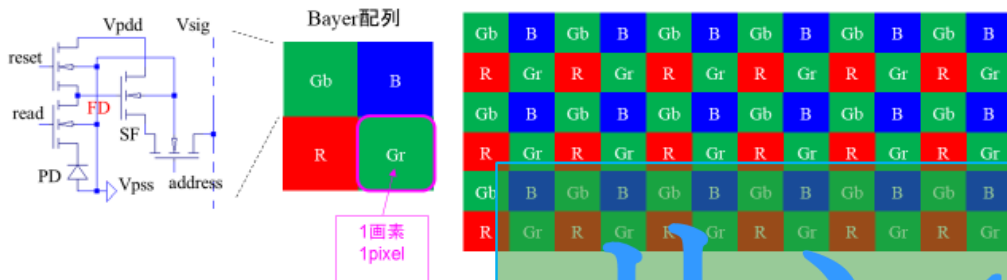
- PD (Photo Diode): 光電変換を行う素子。極力大きく。
- TG (Transfer Gate) MOS: PDで発生した電子をFD (Floating Diffusion) 端子に100%転送するため、ソースドレイン間に意図的に電位差をつける。
- reset MOS: FD端子を初期電位に設定する。
- SF(Source Follower) MOS: FD端子電圧を画素セル外部に出力する。
- address MOS: 選択された行の出力を画素読み出し信号線 (Vsig) に接続する。
- FD: SF MOSのゲートに接続しPDで蓄えた電子を受け取る。FDの容量は電子を全て蓄えるだけの大きさが必要。
- Vsig: 画素読み出し信号。画素アレイ内で縦方向に繋がっている。
- Vpdd/Vpss: 画素セルの電源電圧/GND



2.4 空間分解能

画素セル配列 「Bayer配列」

- ✓ CISでは、赤、青、緑と色毎にその光強度をAD変換する。
- ✓ 「どの色の画素セルをどこに配置するか？」について、最も広く使われているのが Bayer配列と呼ばれるものである。
- ✓ 2x2の4画素(Pixel)で一まとまりとなっており、一まとまりの中に2つの緑用画素セルが含まれる。それらを区別する為に、青の隣の緑画素:Gb 赤の隣の緑画素:Gr と呼んでいる。



Sep. 22, 2021

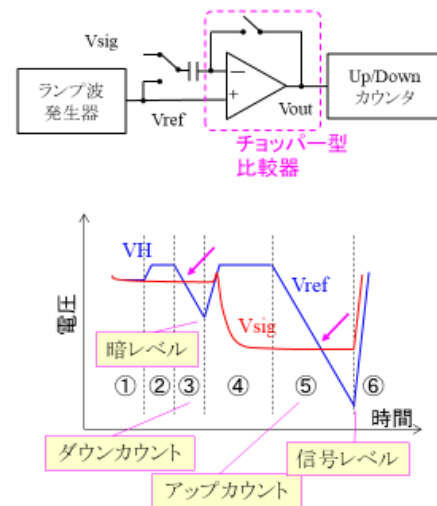
CMOS イメージセンサ 回路とシミュレーション

5

3.4 Single-Slope ADC

CDS (Correlated Double Sampling)

- 開発初期のCISでは、読出しノイズが大きく、“ザラザラした”印象の強い絵が問題視。
- 読出しノイズはADC起因が大きくADCの雑音抑制が画質改善の最重要課題だった。
- ここで登場したのがCDS。
- リセットレベルと信号レベルの差を取る事でノイズの影響を抑制する事に成功。
- 差分計算にカウンターのアップ/ダウンを切り替えているのもゲート数削減に貢献している



Sep. 22, 2021

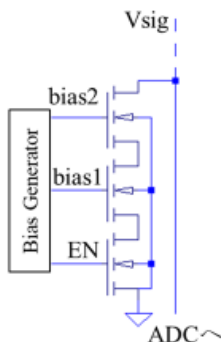
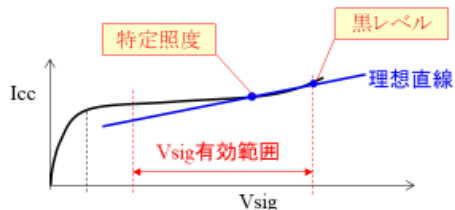
CMOS イメージセンサ 回路とシミュレーション

7

3.2 定電流源

I-V特性を極力フラットにしたい理由

- 光照度線形性は、黒レベルと、特定の照度(Full bitの1/10等)とを結んだ直線を理想とし、その追随性を示す。下図の様に、I-V特性が右端で歪んでいると、理想直線が不要な傾きを持つ。
- 特に高 Vsigt 側の衝突イオン化による電流増は、該線形性を大きく損なうので要注意。
- また本来水平が理想の I-V特性の傾きも、「Vsigt値によって電流値が異なる」事になるので、Vsigtの遷移時間差異を生み、ADCの誤差要因となる。



Sep. 22, 2021

CMOS イメージセンサ 回路とシミュレーション

6

5.1 Spiceの解析の種類

- DC (Direct Current) 直流解析
 - DC電源を接続した場合の(非線形)回路の電圧・電流解析
 - ✓ DC OP (Operating Point) 直流動作点解析
 - 直流解析の最初のもの、過渡解析の初期値
 - ✓ DC Transfer 直流ステップ解析
 - DC電源を少しずつ変化させて、各値に対する直流解析を繰り返す
- AC (Alternating Current) 交流解析
 - ✓ 動作点で回路を線形化して周波数解析
- Noise 雑音解析
 - ✓ 交流解析の応用としてノイズ源を加えて周波数解析
- Transient 過渡解析
 - ✓ 時間軸における回路の電圧・電流解析、非線形回路の解析
- Transient Noise 過渡雑音解析
 - ✓ 時間軸における非線形回路の雑音解析
- その他、沢山

Sep. 22, 2021

CMOS イメージセンサ 回路とシミュレーション

8

6.2 オプションパラメータ

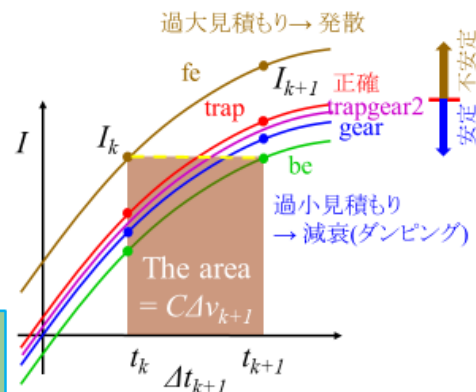
- Spiceのオプションパラメータは数多くあるが、重要なものを簡単に説明する。
- パラメータの名前は各種Spiceによって、微妙に違っていたり、あつたりなかったりするが、重要なパラメータとそのデフォルト値は同じものが存在する。
- 過渡解析関連のパラメータは後程説明

Spice2/Hspice	Spectre	既定値	説明
gmin	gmin	1p [V]	収束性改善のため全 PN 接合に並列に追加されるコンダクタンス
gmin/gminDC	gminDC		
abstol	iabstol	1p [A]	電流の絶対許容誤差
vntol	vabstol	1u [V]	電圧の絶対許容誤差
reltol	reltol	1m	相対許容誤差... 最重要パラメータ
chgtol		10f [C]	電荷の絶対許容誤差
trtol=2*iteratio	iteratio	7	Tran解析の時間刻みを決定するための局所打ち切り誤差パラメータ
Tmax	maxstep		Tran解析で時間刻みの上限値
.nodeset	readns		DCOP解析の初期値設定
.ic	readic		Tran解析の時刻0の値設定
uic (.tran)	skipdc		DCOP解析をスキップ

8.3 パラメータの設定法 積分法の選択 method=be, trap, gear, trapgear2

$$C\Delta v = \int_{t_k}^{t_{k+1}} I(t)dt$$

- 積分法の選択とは上記積分をどの方法で行うかということ。
- fe: Forward Euler 不安定なのでFast Spice等を除き、Pure Spiceでは使わない。
- trap: Trapezoidal 最も正確だがリングングが発生する。
- trapgear2: trap と gear を交互に用いる。
- gear: Gear2 安定だが減衰が起こる。
- be: Backward Euler 急激な変化点で使われる1次の積分。



サンプル

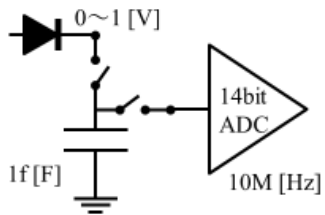
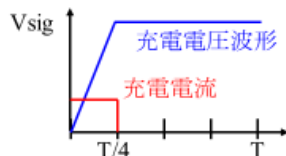
8.3 パラメータの設定法 CISの例

- LSB電圧= $1[V] \cdot 2^{-14}$ が識別できる精度が必要 → **reltol** は LSB の 1/2 弱
- vntol** は **reltol** で決まる最小電圧の半分程度
- Tranでは **T/4 [S]** 程度で **C[F]** が **Vsig[V]** に緩やかに充電されるのが電流値 Maxと見做して小さめに見積もり **abstol** 決定

回路的には電圧精度が重要

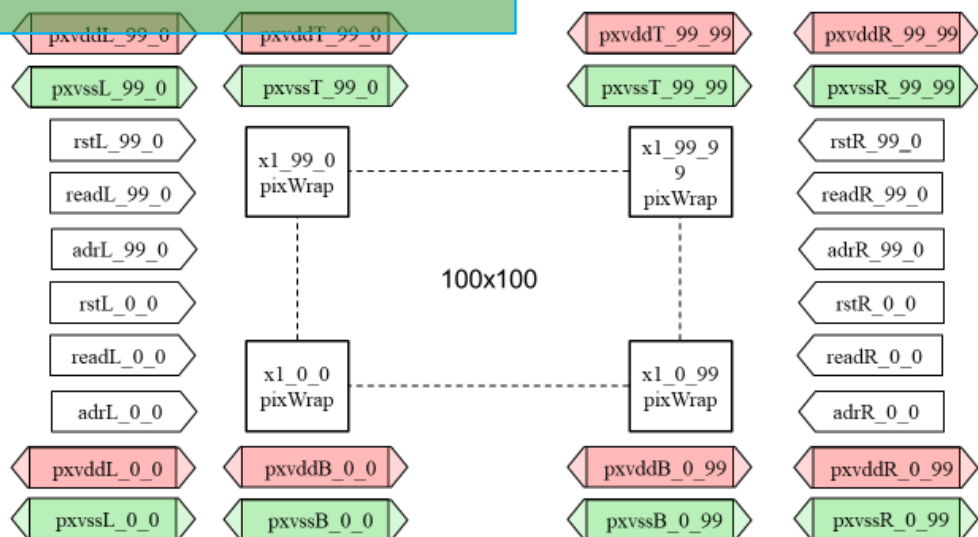
$$\frac{v_{sig} \cdot C \cdot reltol}{T/4} = \frac{Vsig \cdot C \cdot 4 \cdot Freq \cdot reltol}{T}$$

緩やかな充電電流 厳しい相対誤差



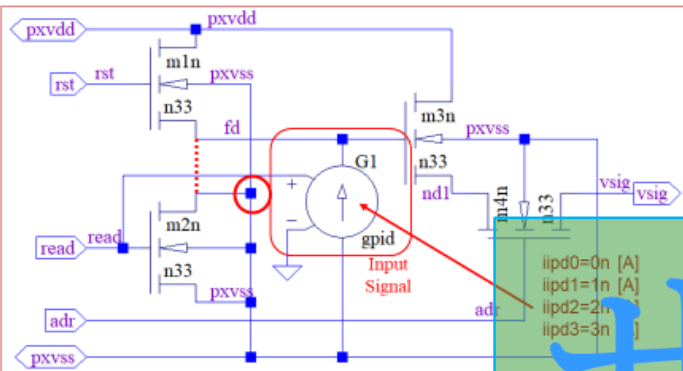
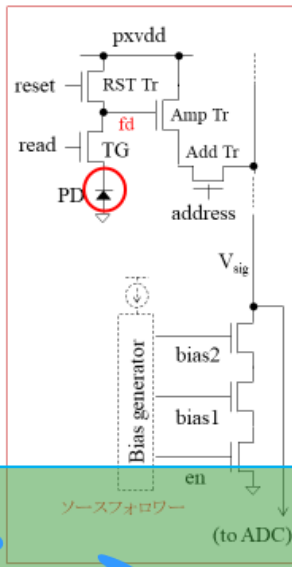
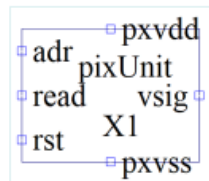
Vsig	C	Freq	LSB: 2^{-14}
1.0	1.00E-15	1.00E+07	6.10E-05
reltol	1.83E-05	LSB*0.3	
vntol	9.16E-06	Vsig*relto*0.5	
abstol	7.32E-13	$Vsig \cdot C \cdot Freq \cdot 4 \cdot reltol$	
gmin	0 か 7.32E-13	0 か abstol/Vsig	

9.1 100x100 Pixel 配置と電源、入力信号



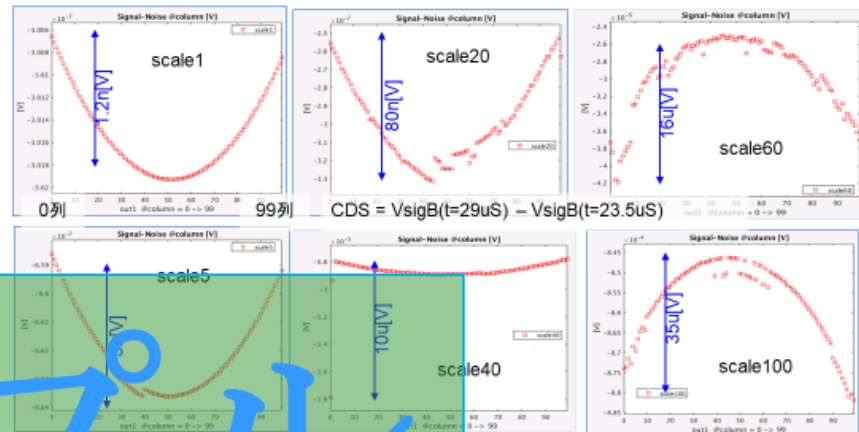
9.1 100x100 Pixel pixUnit

- 1個のPixel Photo Diode は電流源で代用



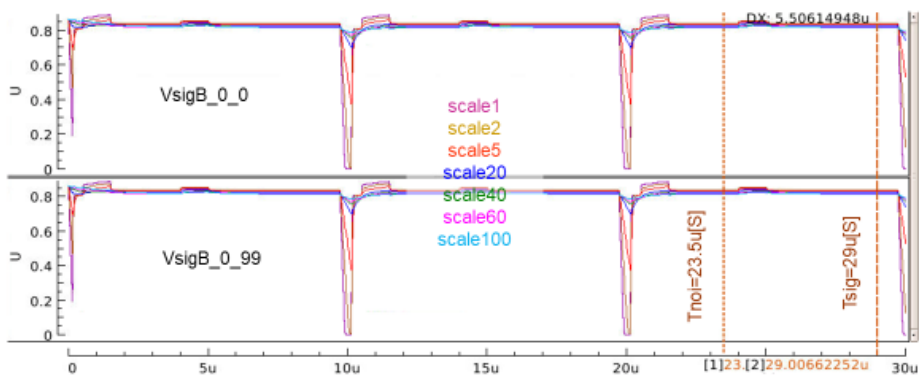
9.2 100x100 Pixelアレイのダークシェーディング

- 理想的には黒イメージに対してCDS値は全て 0 であるが、実際には寄生RCの影響で値が出る。CDS値は全列で一定であって欲しいが違いが発生する。
- 1[V]、14ビットの許容誤差は30u[V]なので、scale100は満たしていない。



9.2 100x100 Pixelアレイのダークシェーディング

- 前述のシミュレーションを複数の配線RC値に対して実施して比較
- scale1: 元のRC値、scaleN: 元のRC値を夫々N倍する。
- 例として scale1~scale100 に対する 0列と99列のVsigBの波形を示す



9.2 100x100 Pixelアレイ Vdd/Vssの列変化

- DCOPでのVddとVssの電位分布をカラーマップ表示、IRドロップを示す。
- やはり中央に行くほど電位差が大きい事が分かる。勿論これはDSHDに影響を与える。ただ、DSHDが増えるのか減るのかの判断は難しい。

