

実習で学ぶ LSIの低電力化の勘どころ(1日目)

サクセス インターナショナル株式会社

<https://www.success-int.co.jp/>

講師: 小川公裕

kimihiro.ogawa_si@fc4.so-net.ne.jp

<https://www.success-int.co.jp/ogawa-kimihiro/>

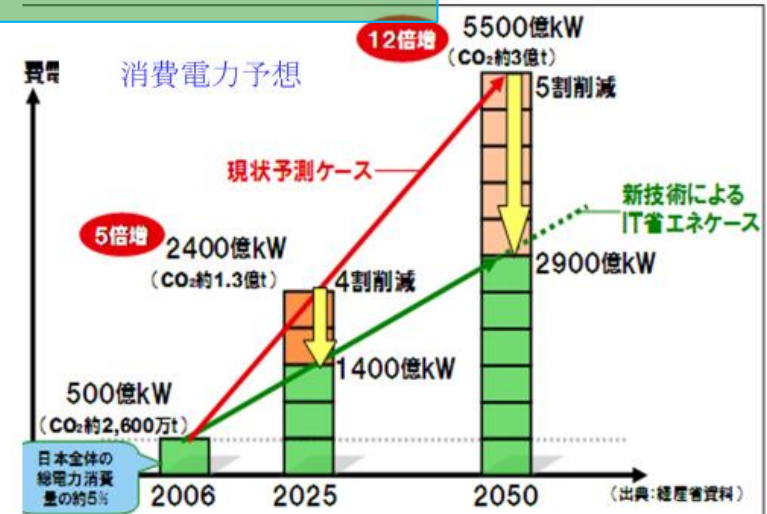
目次

	ページ	時間
• 第1章 ローパワー化設計技術の必要性和概要	007	10:00
✓ 第1.1章 ローパワー化の必要性	008	
✓ 第1.2章 LSIのパワーの基礎知識	013	
✓ 第1.3章 遅延計算とパワー解析の仕組み	035	
• 第2章 ローパワー化対策概要	045	
• 第3章 設計技術によるローパワー化対策	060	
✓ 第3.1章 ローパワー化設計技術概観	061	
✓ 第3.2章 MTCMOS	070	
✓ 第3.3章 マルチV _{dd}	079	
✓ 第3.4章 クロック・ゲーティング	094	
✓ 第3.5章 DVFS、AVS	108	
✓ 第3.6章 パワーゲーティング	115	
✓ 第3.7章 VTCMOS 基板バイアス制御	129	
✓ 第3.8章 その他の技術	140	
• 付録1 ローパワー化プロセス技術	147	
• 付録2 「次元LSI」「不揮発性素子」	159	

実習で学ぶLSIの低電力化の勘どころ

- LSIなどの半導体デバイス設計技術者が「LSIのローパワー化」について、「設計技術による対策」、「プロセス技術での対策」等の基礎的な知識を習得します。
- 2019年からLTspiceを使った簡単な実習も追加しました。
- 時間割
 - ✓ 10:00~16:45(昼休憩45分)の6時間。お昼は早目で。
 - ✓ 休憩は1H~1.5Hに1回、10分程度。
- 質問はいつでもOKです。積極的に聞いて下さい。

日本 IT機器の省エネ化は必須



実習1-1 デナード・スケーリングの修正



- 破綻則 周波数×密度 2.9倍 だが パワー密度が 2倍
 - 修正則1 素子密度を1.4倍に抑える
 - 修正則2 素子密度を1.4倍、電流を0.7倍に抑える
- 空欄を埋めてみて下さい。



項目	旧則	破綻則	修正則1	修正則2
面積 $A \propto LW$	0.5	0.5		
素子密度 $\rho \propto 1/(LW)=1/A$	2.0	2.0	1.4	1.4
電圧 $V \propto L$	0.7	1.0	1.0	1.0
電流 $I \propto VW/L$	0.7	1.0	1.0	0.7
ゲート容量 $C \propto LW/T_{ox}$	0.7	0.7		
ゲート遅延 $CV/I=Q/I$	0.7	0.7		
周波数 $f \propto 1/(CV)=I/Q$	1.4	1.4		
消費電力 VI	0.5	1.0		
パワー密度 VI_p	1.0	2.0		
周波数×密度 f_p	2.9	2.9		

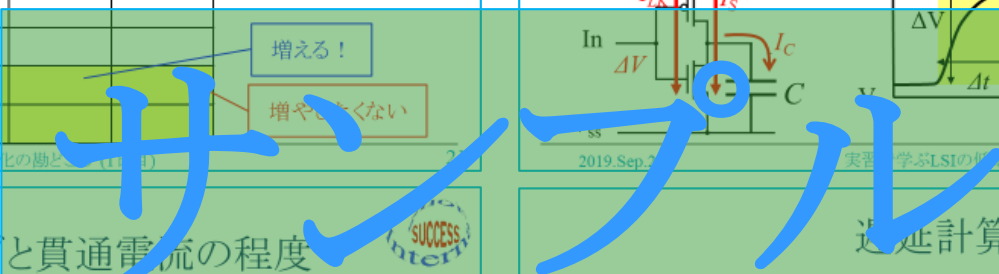
素子密度を落とす

電圧下げられず V_{th} 下げない

電流下げる

増える!

増やさない



解答1-2 CMOSのパワー式



$$\bar{P} = \frac{1}{2} f \cdot C \cdot \Delta V^2 \cdot a + I_S \cdot \Delta t \cdot V_{dd} \cdot a \cdot f + I_{LK} \cdot V_{dd}$$

a : 動作率、 f : クロック周波数、 Δt : スイッチング時間、 \bar{I}_C : 平均動作電流、 I_S : 貫通電流、 I_{LK} : リーク電流、 ΔV : 信号振幅 (通常は V_{dd})

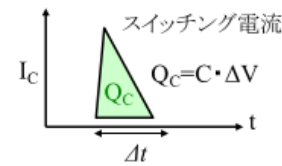
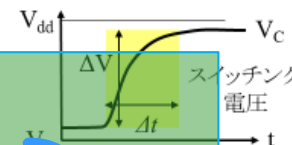
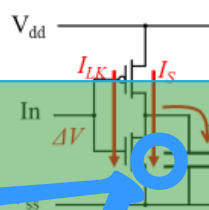
$$\bar{I}_C = Q_C / T = C \cdot \Delta V / T$$

$$V(t) = \Delta V \cdot t / T$$

$$\bar{P}_C = \frac{1}{T} \int_0^T \bar{I}_C \cdot V(t) dt = \bar{I}_C \cdot \frac{1}{T} \int_0^T (\Delta V \cdot t / T) dt = \frac{C \cdot \Delta V}{T} \cdot \frac{1}{T} \cdot \frac{\Delta V}{T} \cdot \frac{T^2}{2} = \frac{1}{2} f \cdot C \cdot \Delta V^2$$



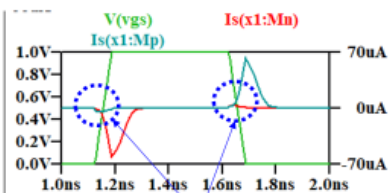
簡単のため平均電流 \bar{I}_C が T 時間流れて ΔV 変化するとする



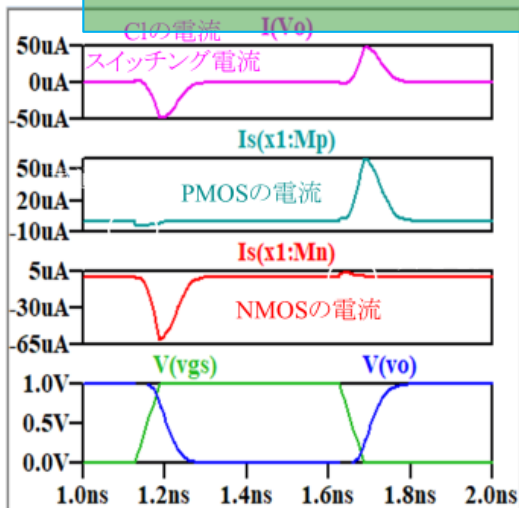
解答1-3 スイッチングと貫通電流の程度



- $I(V_{out}) = I(V_{in}) + I(V_p)$ 、NMOS(PMOS) がスイッチしている期間にPMOS(NMOS)に流れる電流が貫通電流
- CIには流れない不要な電流
- 貫通電流 << スイッチング電流



ゲート電圧が中間値の時にP/NMOS両方がONする



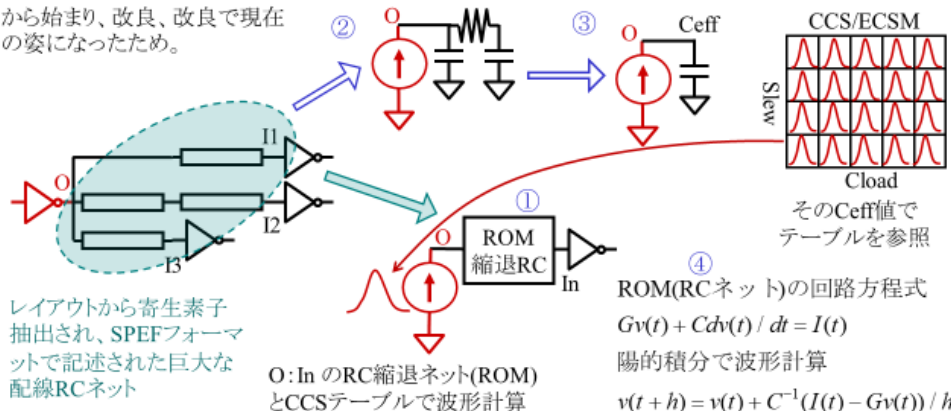
遅延計算の仕組み



非常に複雑、元々単純な式 $D=D_0+KcI \cdot C_I$ から始まり、改良、改良で現在の姿になったため。

負荷ネット全体を π 型RC回路に近似

π 型とほぼ同じ遅延値を与える単一 C_{eff} を計算



ROM: Reduced Order Model
SPEF: Standard Parasitic Exchange Format
CCS: Composite Current Source (model)
ECSM: Effective Current Source Model

インプリレベル ローパワー設計フロー例



2019.Sep.26

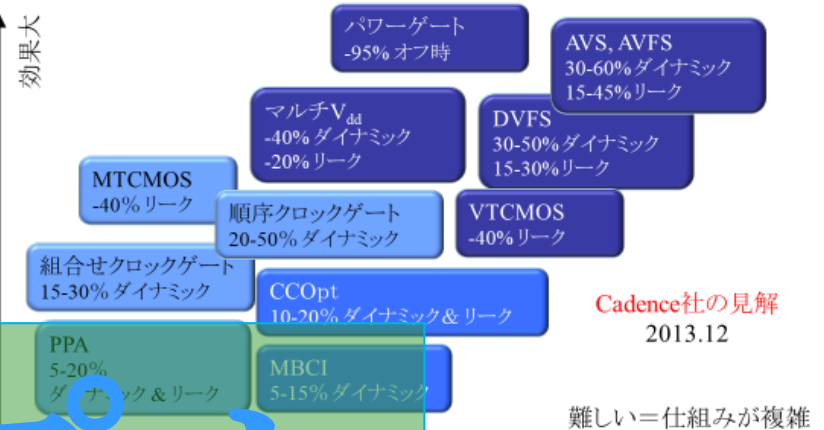
実習で学ぶLSIの低電力化の勘どころ (1日目)

67

EDAによるローパワー化設計技術俯瞰



CCOpt Clock Concurrent Optimization (CTS): マルチクロック合成
 MBCI Multi-Bit Cell Inferencing(推論): 配置後セル置換
 PPA Power, Performance & Area: (昔からある)最適化合成



Cadence社の見解
2013.12

難しい=仕組みが複雑

2019.Sep.26

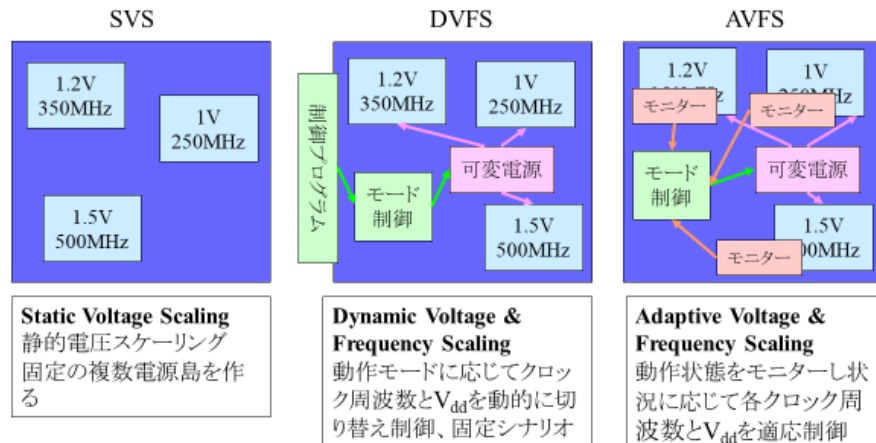
実習で学ぶLSIの低電力化の勘どころ (1日目)

67

マルチV_{dd}の3手法



- SVS, DVFS, AVS 右に行くほど細やかにV_{dd}制御できるが、設計やサインオフ検証は複雑化し難しくなる。

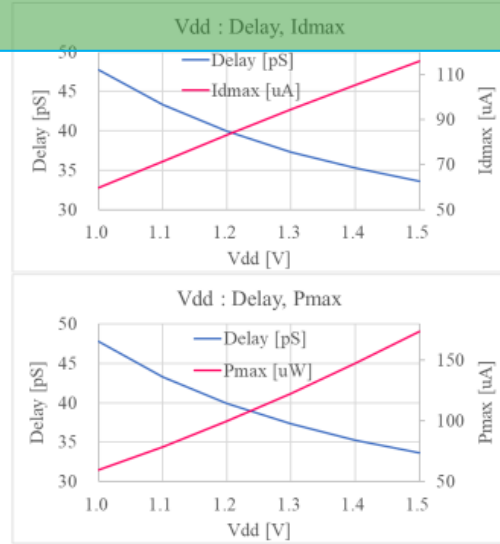


2019.Sep.26

実習で学ぶLSIの低電力化の勘どころ (1日目)

84

解答2-4 電源電圧差によるパワーと遅延



Vdd [V]	Delay [pS]	Idmax [uA]	Pmax [uW]
1.5	33.6	115.9	173.8
1.4	35.3	105.5	147.6
1.3	37.3	94.5	122.9
1.2	39.9	83.1	99.7
1.1	43.3	71.4	78.5
1.0	47.8	59.7	59.7

1.42 1.94 2.91

- V_{dd}: 1→1.5[V] で
 パワーは 2.9倍 だが
 速度は 1.4倍 にしかならない

2019.Sep.26

実習で学ぶLSIの低電力化の勘どころ (1日目)

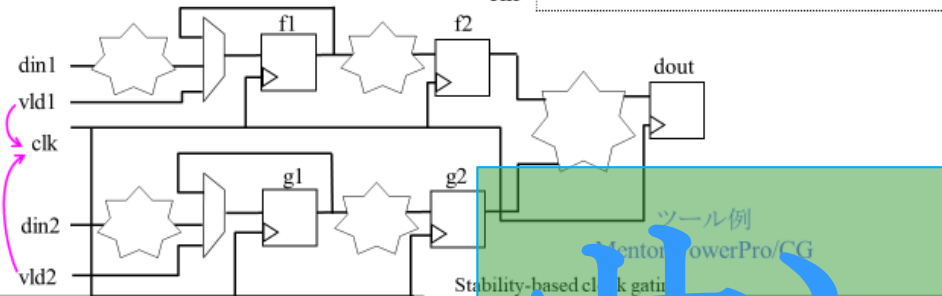
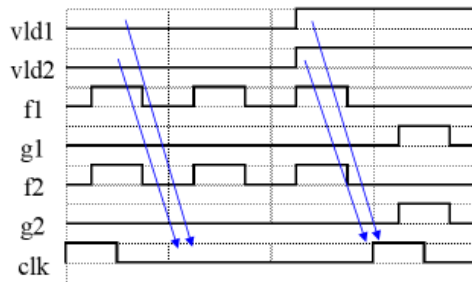
88

順序クロックゲーティング



前方順序クロックゲーティング

もし vld1、vld2 があるサイクル中 0 であったなら、その次のサイクルの f1、g1 は変化せず、さらに次のサイクルの f2、g2 も変化しない。それを見つけて クロック clk を止める。



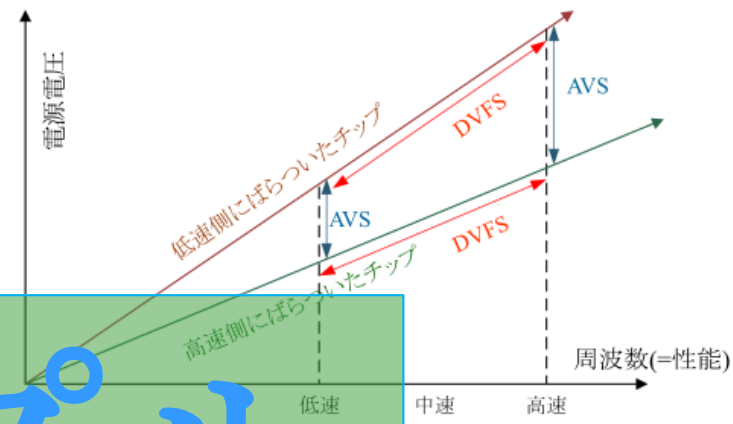
AVS (Adaptive Voltage Scaling)



• DVFSとAVSのコンセプトの違い

- ✓ DVFS 動作モードによる切り替え
- ✓ AVS プロセスばらつきに対する切り替え

AVFS: DVFSとAVSを同時に適用する



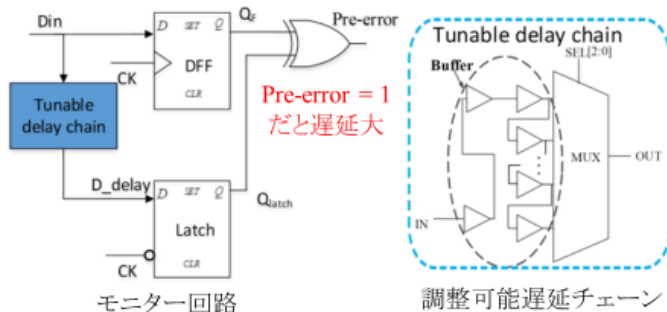
AVS (Adaptive Voltage Scaling)



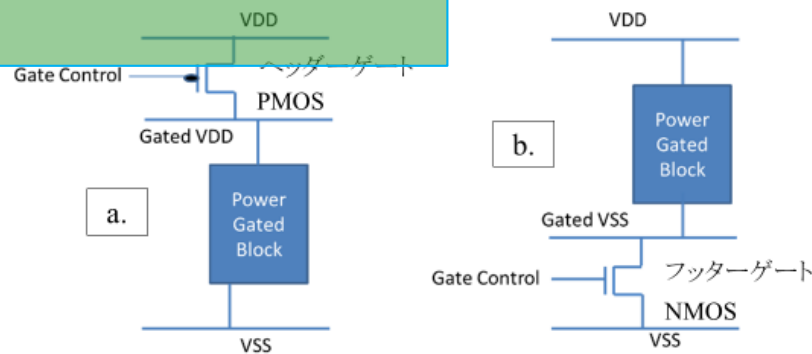
モニター回路の例

- 左下 遅延回路を挟んでFFの結果が一致しない場合 **Pre-error が 1** になり、遅延が大きいことが分かる ⇒ **電圧を上げる**。
- 右下 調整可能遅延回路の概略図。

2017 - Moortec "Let's Talk PVT Monitoring" Series



パワーゲーティング



パワーゲーティングの概念図

パワーゲーティングでは、パワーゲートを、ロジックブロックの電源ラインやグラウンドラインに配置する。

- a. 電源ラインにパワーゲーティングトランジスタを配置した例。
- b. グラウンドラインにパワーゲーティングトランジスタを配置した例。