

第13回 フラッシュメモリ

厚木エレクトロニクス 代表
サクセス インターナショナル 取締役
加藤俊夫

先月は、メモリの王様DRAMを紹介しましたので、今月は女王様のフラッシュメモリを取り上げましょう。最近、東芝がNAND型フラッシュメモリの生産に1兆7000億円を投資して世界ナンバー1を狙うと発表して業界を驚かせました。現在ナンバー1のSamsung Electronicsが黙っているとは思えませんが、両社で熾烈な戦いが始まるでしょう。何故、そんな戦いが始まるのか。言うまでもないでしょうが、AppleのiPodにはじまるオーディオ、ビデオのメモリや、USBなどPC用のメモリに大量に使われだしており、いずれHDDにも置き換わる可能性を秘めているからです。

フラッシュメモリ

1. NAND, NORとは何?

フラッシュメモリには、NAND型とNOR型の2種類が主に生産されています。一応NANDとNORの意味を説明しておきます（よくご存知の方は、次へ飛んで下さい）。

図1の左上にANDゲートがあります。入力AとBが1なら、出力Zは1になり、AとBのどちらかが0か両方が0ならば、Zは0となる。そのような回路をANDゲートと呼んでおり、真理値表の意味も説明なしでご理解して頂けるでしょう。ORゲートは、AとBのどちらか、または両方が1なら、Zが1となり、両方が0ならZは0という回路です。NOTゲートは、Aが0ならZは1、Aが1ならZは0という以前に勉強したインバータです。

次にNANDは、AND + NOTで、AとBが1ならZは0、それ以外は1になるというANDとNOTを組み合わせ

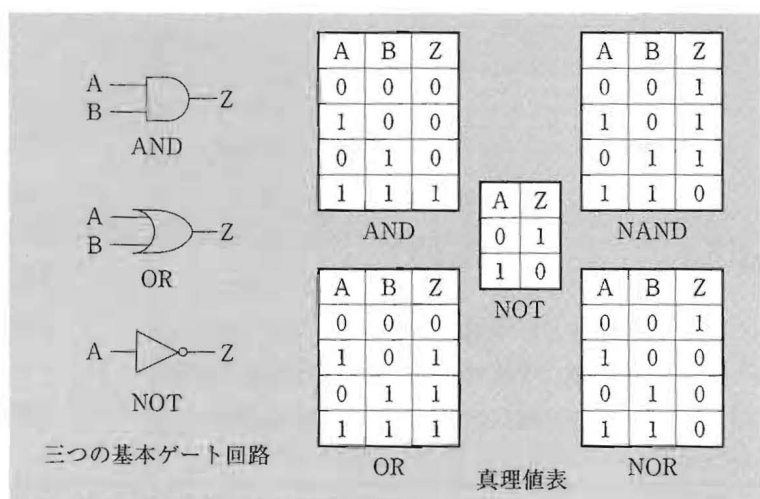


図1 三つのゲート回路と真理値表

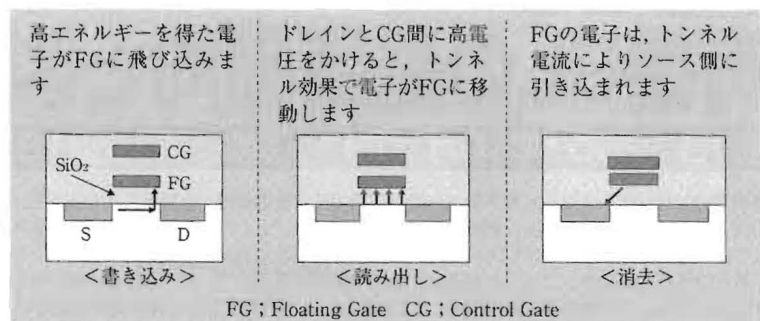


図2 フラッシュメモリの動作原理

せたもので、NORはOR + NOTの組み合わせで、真理値表をご覧頂ければすぐに了解されるでしょう。

現在、一般に使われている論理回路はこれらの基本ゲート回路の組み合わせで構成することができます。

2. フラッシュメモリの構造と動作

フラッシュメモリはMOSの一種ですが、他のMOSと異なる点は、絶縁膜中にフローティング・ゲートを持っていることです。通常、poly-Si膜で形成され、どこにも

＜ちょっと脱線1＞昔話

フラッシュメモリはEEPROMと呼ばれることがあります。Electrically Erasable Programmable Read Only Memoryです。筆者の記憶では、EEPROMは最初TVに使われました。皆さんは、TVを見ていて電源を切り、次に電源を入れると前に見ていたチャンネルが映ると思います。すなわち、前に見ていたチャンネルをこの電源を切っても記憶してくれていたわけです。これにEEPROMが使われたのです。また、記憶した情報を電氣的に書き換えるのではなく、紫外線を照射して消すメモリもあり、EPROMと呼ばれて大量に使われたことがあります。

接続されていない絶縁物（ SiO_2 ）中に浮いた状態になっているゲート電極です。このフローティング・ゲートに電荷を貯めると、電荷は逃げるルートがありませんので、半永久的にその状態を保ってくれます。すなわち、不揮発性メモリとなるわけです。

では、フラッシュメモリの構造と動作を図2で見てみましょう。

まず、コントロール・ゲートに V_{th} 以上の高電圧がかかると、ソースからドレインに電流が流れますが、ドレイン近傍で高いエネルギーを得た電子はホットエレクトロンとなって、一部は酸化膜を通してフローティング・ゲートへ飛び込めます。あるいは、酸化膜を非常に薄くしておき、ドレインとコントロール・ゲート間に20V程度の高電圧を与えると、トンネル電流となって電子がフローティング・ゲートに注入されます。このようにしてフローティング・ゲートが帯電している場合は、図3右のようにコントロール・ゲートがゼロバイアスでも電流が流れないエンハンスメント型となり、帯電していない場合は、図3左のようにゼロバイアスでも電流が流れるデプレッション型になります。

また、一度帯電したフローティング・ゲート電子を消去する場合には、ソースに高電圧をかけてトンネル電流として電子を抜きます。

3. NAND型とNOR型フラッシュメモリ

では、実際のフラッシュメモリの回路を見てみましょう。まず、図4左のNOR型では、それぞれのセルはビット線、ワード線、アースに接続しており、他のセルとは

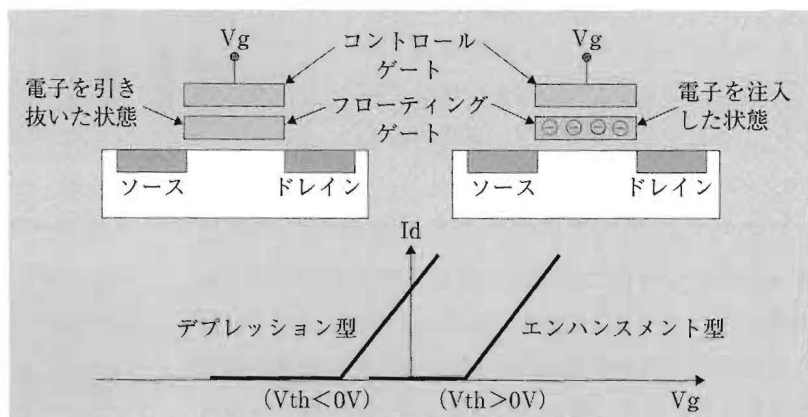


図3 フローティング・ゲートに帯電している場合はデプレッション型となり、帯電していない場合はエンハンスメント型となります

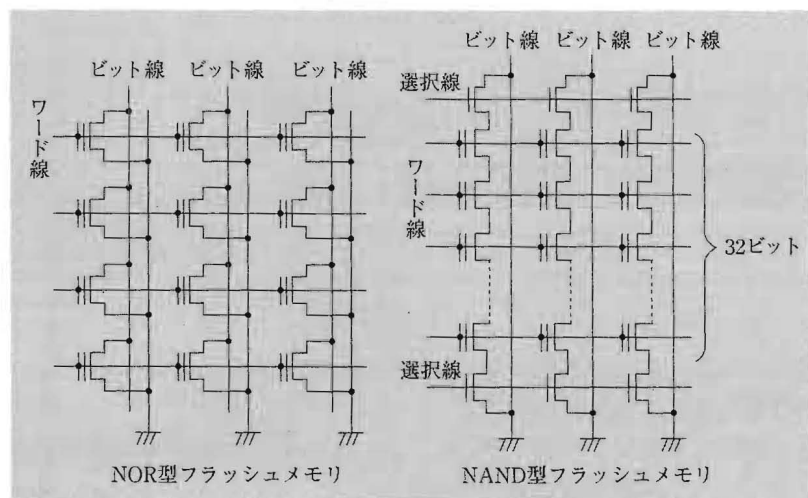


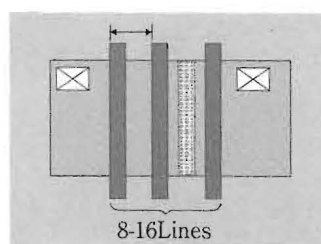
図4 NOR型とNAND型フラッシュメモリの回路

関係なく独立していますので、Random Accessができます。

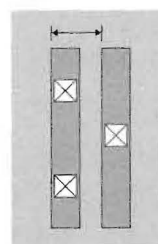
一方、NAND型は、図4右に見られるように32セルがつながっており、両端に選択MOSがあつて、これがONすれば、ビット線とアースに接続できる構造となっています。32セルという数は、決まっているわけではあ

＜ちょっと脱線2＞微細化ロードマップをリードするフラッシュ

毎年12月には、ITRS (International Technology Roadmap for Semiconductor) が発表になります。是非、皆様もインターネットでITRSを検索して下さい。微細化を表す指標として、従来は「DRAMの1/2ピッチ」が用いられてきました。ところが、NAND型フラッシュメモリでは、下図のようにpoly-Si配線にコンタクトが不要なため、DRAMより密に並べることができます。従って、「フラッシュの1/2ピッチ」を指標にすべきだという意見が出ています。ちなみに、08年と12年のITRSの1/2ピッチの値は、DRAMが57nmと35nm、フラッシュが45nmと28nmとなっています。この寸法のメモリが生産されるわけです。28nmを実現するには、現在のステッパの二重露光か、EUVか、ナノインプリントか、電子ビームかなど、リソグラフィ業界の重大な関心事となっています。



Flash poly-Si Pitch



DRAM Metal Pitch

DRAMの配線ではコンタクトが必要ですが、NAND型フラッシュメモリでは、必要ありませんので、pitchは狭くできます

りませんが、大体この程度の数のNAND型フラッシュが生産されている場合が多いと思います。

では、やや複雑な構造をしたNAND型の動作を説明しましょう。まず、すべてのコントロール・ゲート電圧を15V程度にしてフローティング・ゲートに電子を注入します。次に、図5左のようにセル1に書き込みをする場合、セル2～32と一番上の選択MOSのゲートを高電圧にしてONにしますと、セル1のソースがビット線と接続されることになります。そこで、ビット線の電圧がHighならば、セルのフローティング・ゲートの電子が引き抜かれ、デプレッション型になります。ビット線がLowならば、フローティング・ゲートの電子はそのままエンハンスメント型です。次に、セル2のコントロール・ゲートの電圧を0Vにして、セル1と同様にして書き込みを行います。このようにしてセル32まで書き込みを続けます。読み出す場合は、図5右のように、読み出したいセルのコントロール・ゲートを0Vにし、それ以外を5VにしてONにします。読み出したいセルがデプレッション型ならば、ビット線からアースへ電流が流れます。エンハンスメント型なら、OFFになっていますから、ビット線からアースへは電流が流れません。

以上の説明は、やや複雑過ぎて分かり難かったでしょうか。ようは、NAND型は、32ビットを一度に消去でき、書き込みも32ビット単位で行います。直列接続のため、ON抵抗が高く動作も遅いのが欠点ですが、各セ

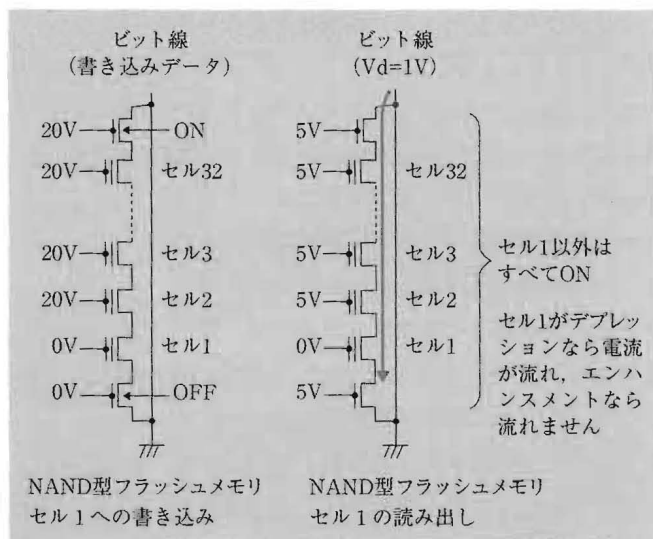


図5 NAND型フラッシュの書き込みと読み出し

ルは、ソース・ドレインがコンタクトしていませんので、セル面積が非常に小さくでき、集積度を上げられることが大きな特徴です。

4. 大容量化を目指すNANDフラッシュの今後

ちょっと脱線に書きましたように、NAND型は配線のピッチを詰めることができ、ビット当たりの面積が小さくて済みますので高集積化に最適です。そのため、現在は1チップの16Gビット（160億ビット）が生産され始めています。しかし、HDDも負けずに高ビット化していますから、フラッシュの方はチップを重ねた高集積化で追いかけています。図6と図7は、Samsungと東

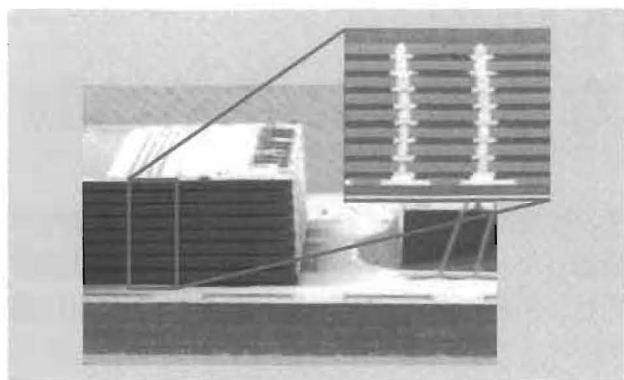


図6 Samsungの貫通電極でスタックした16Gバイトのフラッシュメモリ

芝のスタック型フラッシュメモリです。8チップ重ねて128Gビット（16Gバイト）の製品化を発表しています。

さらに、フラッシュメモリの得意技は多値です。すなわち、フローティング・ゲートに帯電する電子の数を4段階にすると、(00) (01) (10) (11) の4状態、つまり2ビットの情報を蓄えることができますから、集積度が2倍になったことに相当します。さらに、最近はSONOS (Si/SiO₂/SiN/SiO₂/poly-Si) の発表が相次いでおり、そろそろ生産が始まります。現在のpoly-Siのフローティン

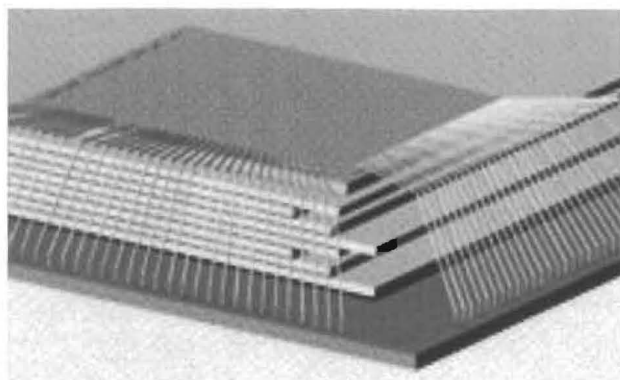


図7 東芝のワイヤボンドによるスタック型16Gバイトのフラッシュメモリ

グ・ゲートに代わって、SiNを用いる方法で、Si₃N₄ではなく、化学量論的には不都合なSi₃N₁₀のような半端な膜を用いると、結合の相手がいないダングリング・ボンドが多数できて、ここに電子が捕まえられるという原理です。微細化に適していますので、いずれSONOSが主流技術となるでしょう。

このようにビット容量の増加に拍車が掛かって、多くのアプリケーションが期待されます。正にフラッシュメモリの時代になったと言えるでしょう。