

第22回 半導体の生産現場を訪ねて③ — 歩留り —

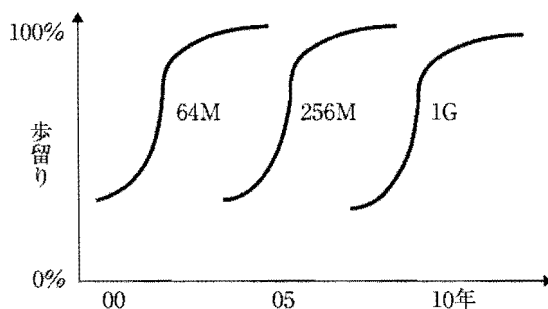
厚木エレクトロニクス 代表
サクセス インターナショナル 取締役
加藤俊夫

半導体は歩留り産業

半導体産業の特色の一つは、歩留りという概念が当たり前のことと考えられていることです。本来100個の完成品ができるはずなのが60個しかできず、歩留りが60%になることなど日常的話です。特にメモリのような世代の交代が激しいデバイスでは、まだ歩留りが30%程度でも生産を開始し、1~2年の間に80%ぐらいまで向上させます。歩留りが30%でも、チップサイズを1/4にし、1枚のウェーハからの取率が4倍になっていれば、1ビット当たりのコストは安くなるわけです。この様子を図1に示します。当然、他社より少しでも早く歩留りを上げれば、大きな利益になるわけで、歩留り向上競争が行われています。

歩留りを上げるには

まず、TEG (Test Element Group) について説明しましょう。歩留りやトランジスタの電気特性に関係のありそうなパラメータを測定するためのテストパターンをウェーハに埋め込んだものです。テグと呼ばれています。埋め込み方は、図2左のように本番のチップを何個か犠牲にする場合と、図2右のようにダイシングする部分にパターンを入れる場合があります。工程が安定し歩留りも上がってくれば、本番チップを犠牲にする必要がないので、ダイシング部分だけにします。どんなパターンを入れるかについては、各社のノウハウがあるところです。図3には、コンタクトの抵抗、マスク合わせ精度、トランジスタ特性の測定の三つを示しましたが、この他に、膜厚、絶縁膜の耐圧、ピンホール、パターンの寸法精度、エッチング幅や形状、イオン注入のドーズ量、CMPの



メモリは、3年ごとに集積度を4倍に上げた新タイプを生産開始して、初期は30%の低歩留りから、いかに早く歩留りを上げるかが企業間の競争となる

図1 3年で4倍のムーアの法則と歩留り

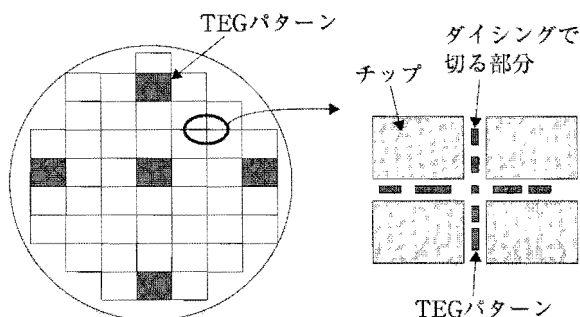


図2 2種類のTEGパターンの入れ方

ディッシングやエロージョンなど、工程管理に必要なデータが集められるようになっていきます。測定法としては、針を立てて電気特性を測る方法や、顕微鏡やSEM（走査型電子顕微鏡）での観察などです。

SPC

日常の生産活動では、工程が終わるごとにデータを取ります。例えば、CVDなら本番のウェーハの中に1, 2

<ちょっと脱線1>歩留り産業と完全無欠産業

半導体メーカーと自動車メーカーが合併で工場を建設しました。そこの工場長に聞いたところ、半導体メーカーの人は「現在の歩留りは50%だが、1年後には90%にします」、自動車メーカーの人は「50%と言えば半分は不良ではないか。何故そんな不完全なものを生産するのか」、と考え方が噛み合わない。自動車の場合は、車体をベルトラインに乗せ、次々と部品を装着してラインから出る時には100%合格して走り出します。両社の文化の違いは大きいようです。

世間では100%産業と歩留り産業があると思われるので次に挙げてみました。

* 100%産業；自動車生産，ダム建設，記念写真の写真屋

* 歩留り産業；半導体，農業，ラーメン屋，医者

以前、知り合いの新郎新婦は、写真屋さんが結婚記念写真に失敗して、もう一度撮らせてくださいと連絡があり、再度式服を借りて行ったそうです。普通、2台のカメラで撮影していますが、こんなこともあるのですね。

半導体は取率が不安定で農業のようだと言われます。ところが最近の農業は日照りでも干ばつでも半導体ほど不安定ではないようです。ハウス栽培ならいつも予定通りの収量があって100%産業かもしれない。ラーメン屋は、少々塩加減を間違えてもお客にばれなければ100%産業。その点、医者は時々手術で鉄を体内に置いてきてしまって、時には過失致死で警察が捜査することになり、医師会が断固反対しています。医者も人間だから間違いはあるので、歩留り産業と考えるのに対して、患者や警察は100%産業と思っているところに食い違いが発生するわけです。

枚のテスト用ウェーハ（ダミーウェーハと呼ばれる）を入れておき、そのダミーで膜厚、耐圧、光の屈折率、ピンホールの有無などを測定します。リソグラフィなら、パターン寸法や欠陥の有無などを測定しますが、本番のウェーハで測定する場合があります。リソグラフィの場合、現像後の検査で異常があると、レジストを剥離して再度塗布からやり直する場合もあります。これらの得られたデータは、コンピュータで処理され、

最も分かりやすいのは図4のような折れ線グラフで表示されます。

上限、下限の線は、これを超えると不良品になる、あるいは設計上で考慮した限界値です。実際の生産では限界値を超えてはいけませんので、これより厳しい警報値を設けてこれを超えると対策が必要であるとされています。図4の(A)では、突如これまでと違った値になっていますから、何か突発原因があったと考えられますので、

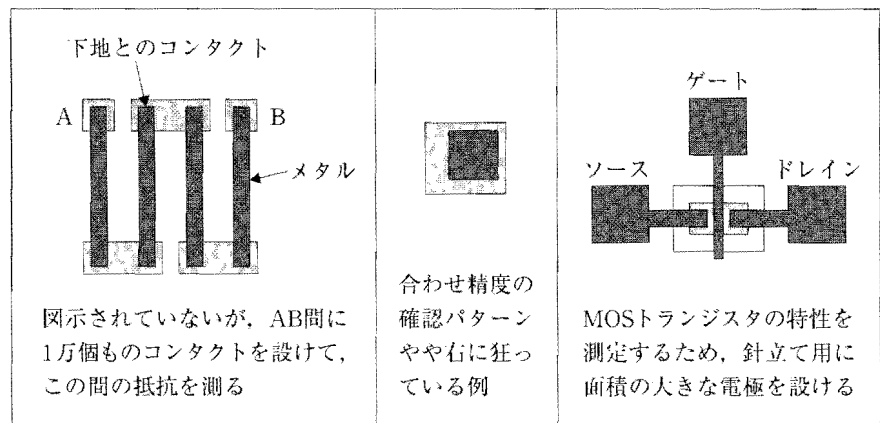


図3 TEGパターンの数々

装置や材料などに何か異常がなかったかを調査します。(B)では、警報値の範囲内ですから異常ではないのですが、値が徐々に上がってきていますから、その傾向を見て対策を考えるべきです。(C)では、値が周期的に変化しています。例えば、午前と午後でいつも値が違っていれば、装置の状態が時間によって変わるのか、午前と午後でオペレータが変わって少し作業方法が違っていると。(D)は、装置のメンテナンスを行った時によく見ら

れる異常です。以上のような工程管理を、統計的プロセスコントロール（SPC：Statistical Process Control）と呼んでいます。SPCの考え方は、必ずしも半導体だけに適用されるものではなく、一般の生産活動に取り入れるのが良いと思われませんが、半導体の場合はプロセス数が膨大で管理すべきデータも膨大な数になりますから、コンピュータの助けを借りた管理手法が重要です。

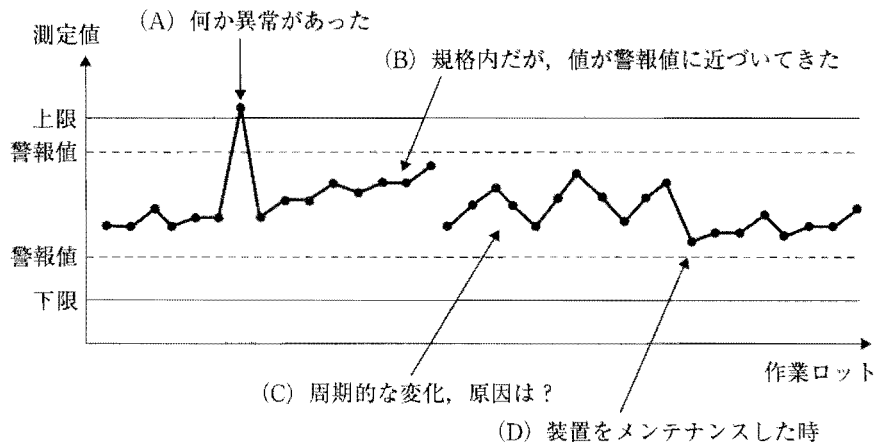


図4 SPCグラフに現れた現象の例

IPQC

最先端のLSIでは、マスク枚数（リソグラフィの回数のこと）が35枚近くになっています。1回のマスクで、リソグラフィ（塗布→露光→現像→ベークング）、エッチング、レジスト剥離、洗浄、CVD膜付けなどの工程を繰り返すこととなりますから、1マスクで10工程ほどになり、35枚マスクだと350工程となります。その度に色々なデータを収集して規格内になっていることを確認しているわけです。これらは工程内の品質制御（IPQC：In Process Quality Control）と呼ばれています。実際にはどんなデータを収集しているのか一例を図5に挙げてみました。

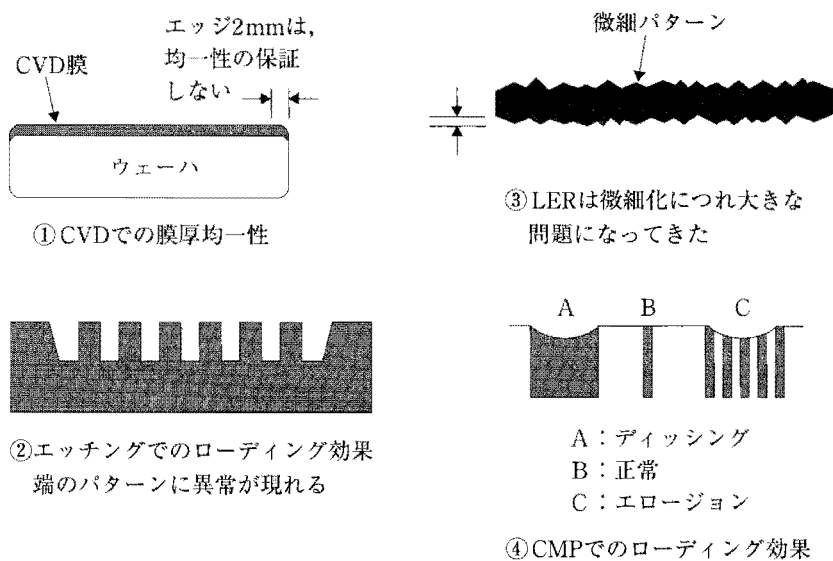


図5 工程に現れる異常の例

①のCVDの膜厚の均一性は、エッジの2mmの部分を除いて通常±3～5%ぐらいにコントロールされる必要があります。②のエッチングでは、まったく同じパターンをエッチングしても、真ん中と端ではエッチング形状に差ができてしまいます。③の微細パターンでは、パターンエッジ部のギザギザ（LER：Line Edge Roughness）が問題となります。④のCMPでは、下地の硬さやエッチング特性などにより平坦ではない部分が出てきます。と、こんな具合に実際のプロセスでは思わぬバラ

つき要因が沢山ありますので、これらが常に一定になり、設計の範囲内であることを確認しなければなりません。

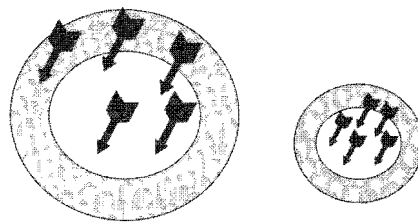
DFM

生産現場では、IPQCで取るデータ値をできるだけ目標値に集中させる努力が行われます。CVDの膜厚を例にとると、規格値が $200 \pm 20\text{nm}$ で95%のロットがこの範囲に入っているとすると、これを $200 \pm 10\text{nm}$ 以内に100%入るようにしたい。このため、CVDのプラズマ発生の方、その流れ方、ウェーハ温度分布の均一化、治工具の改善、真空引きの流速や真空度の再現性改善など

<ちょっと脱線2>人の輪

80年代に日本は半導体生産の世界シェア50%以上を達成し、世界一の半導体王国になりました。その時、多くの識者から「日本の強さの源泉は人の輪にある」という意見が出ました。確かに、工場では、5S運動（整理、整頓、清潔、清掃、しつけ）、QC七つ道具の活用、QCサークル、JIT（トヨタ自動車が開発されたJust in Time）、KJ法（川喜田二郎氏が開発した発想法）などの手法や運動が活発に行われ、技術者だけでなく、現場のオペレータの真摯な努力により世界に誇れるQCD（Quality, Cost, Delivery；優れた品質、歩留り向上によるコストダウン、出荷日の厳守）を達成しました。半導体の生産には学問がなく、そこを人の輪で補ったと言われました。ところが、90～00年代にかけて、日本のシェアは激減し、アジア諸国に抜かれてしまいました。今や、半導体の生産は、優れた装置さえ購入すれば、誰でも高歩留りで高品質のLSIが作れるようになってしまい、人が現場でこつこつと改善活動を行っても、差異化されないというわけです。日本人が持っている良さが活用されなくなってしまいました。今後、ナノテクが進歩すると、その生産には人のSkill（技能）が介在する余地が少なくなってしまい、すべては装置やコンピュータが管理する世界になってしまうのでしょうか？ 私のような化石人間には、やや寂しい感じがします。何とか日本人の良い面が生きないでしょうか。

の工夫が日夜行われています。図6は、そのようにして製造でのバラつきが良くなってきた様子を表しています。規格以上に精度を良くしても、直ちに歩留りが良くなるわけではありませんが、これにより設計の自由度が増してきます。皆様は、最近のCMOS LSIでは、65nmが一般化され、45nmの生産も開始され、次の時代の32nmも開発が進行しているという情報をお聞きだと思います。トランジスタや配線のパターン寸法が微細化しているわけですが、65nm以降になって、どの工場でも歩留りが極端に悪化したと言われていま



下手なうちは的を大きくしないと当たらないが上達すると的が絞れる

LSIの設計も、製造のバラつきが多いと歩留りが上がらないので、バラつきを考慮した設計が必要になり、バラつきが減少すれば、設計の自由度が増す

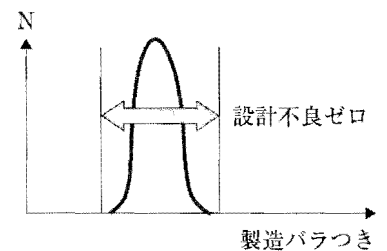
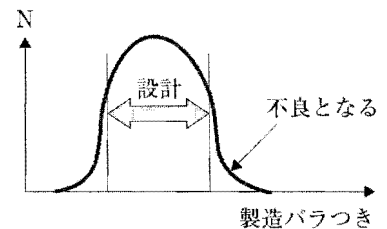


図6 製造のバラつきと設計

す。その原因は、微細パターンのLSI設計に要求されるIPQCの値が製造で実現できるレベルを超えているためと思われます。従って、製造でのIPQCのデータの集中化なくしてこれらの生産はできません。一方、設計側にも反省があって、製造で実現できる範囲を十分にわきまえて設計するDFM（Design for Manufacturing）という手法が取り入れられつつあります。もちろん、これまでも設計起因の不良発生はありました。例えば、3年間生産が続くLSIの場合、初期の生産で設計上の問題が見

付かり半年後に設計変更したマスクを作り、さらに1年後に再度設計変更したマスクを作り直すというようなことは普通に行われています。このように、30%の歩留りが90%まで上昇するのは、ゴミ対策、IPQCデータの集中化、設計の改善などの努力が積み重なって達成されるわけです。この他に、作業方法を間違えたとか、ウェーハを割ってしまうなどの不良もあります。

今月は、歩留り向上について、設計や製造現場での努力の状況をお伝えしました。