

第2回 CMOS LSIの紹介

厚木エレクトロニクス 代表
サクセス インターナショナル 取締役
加藤俊夫

前回は次の2点について説明しました。

①現在のLSIはSi単結晶を材料としているが、これはⅢ族のBをドーピングしたP型と、Ⅴ族のP、AsなどをドーピングしたN型があり、P型の結晶中には自由に動ける正の電荷を持った正孔が、N型には同様に電子が存在します。何もドーピングしていない真性半導体もありますが、一般の半導体デバイスでは、PかNのドーピングが行われます。

②P型基板に、N型のソースとドレイン領域を設け、酸化膜を挟んでゲート電極を設けたNMOSについて説明しました。

今回は、CMOSの構造と製法についての概略を説明します。

まずはNMOSの製法

図1にNMOSの製造プロセスを示します。詳細なプロセスの説明は後ほど行いますが、ここでは概略のフローを頭に入れて下さい。

まず、結晶メーカーからSiのウェーハを購入します。直径200mm、または300mm、厚さ0.8mm弱の円板です。これを、①洗浄、②1000℃程度の高温炉で表面を酸化し、酸化膜(SiO₂)を形成、③poly-Si膜を付け、④～⑦フォトレジストをマスクとしてゲート電極パターンをエッチング、⑧ゲート電極をマスクにしてイオン注入(イオン注入は、高速に加速されたPやAsイオンをSi中に

打ち込むものです。図のようにN型ゲート電極の下には打ち込まれないので、ゲート電極の両側にソースとドレインが形成されます。イオンが打ち込まれると結晶格子が乱れますので、1000℃近い高温でアニールを行います。⑩絶縁膜をデポジットしてそれに電極取り出し窓をエッチング、⑪表面から電極を取り出す。以上が、NMOSプロセスの概略で、思っていた以上に簡単でしょう。実際に生産しているLSIは、もっとはるかに複雑ですので、次回からは詳細を見て行きます。

PMOSの構造と製法

NMOSがお分かりの皆さんには、PMOSの説明は不要でしょう。そう、N型の基板にP型の不純物をドーピングしてソースとドレインを作ればよい訳です。すなわち、NMOSにドーピングした不純物のP型とN型を逆にすればPMOSになる訳です。

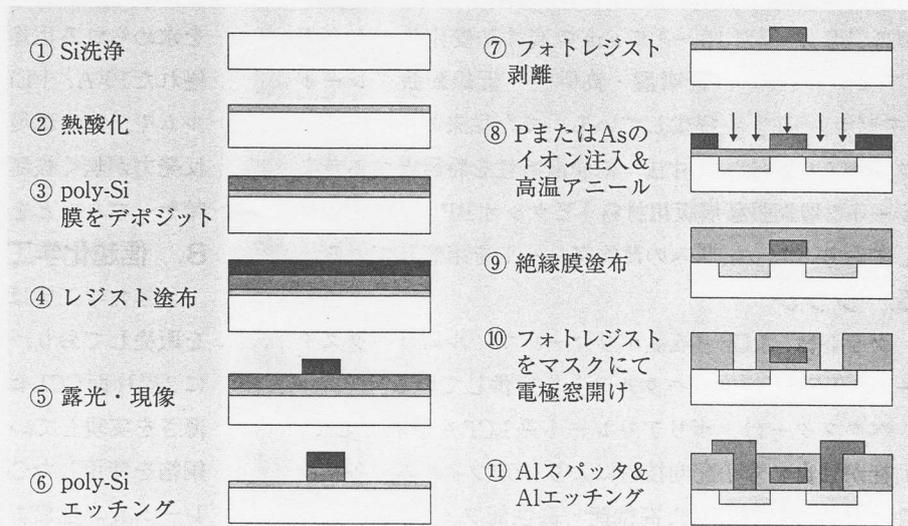
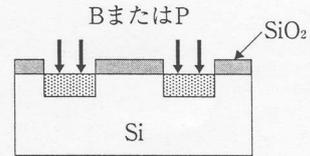


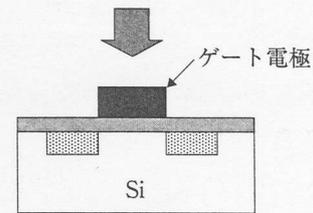
図1 NMOSの製造プロセス(ウェーハの断面)

<ちょっと脱線>

MOSはMetal-Oxide-Semiconductorの略でした。しかし、どこにメタルがあるのでしょうか。ゲート電極をMetalと言っていますが、先の説明のように用いられているのはpoly-Siです。金属ではありません。実は、最初にMOSが現れた時は金属のAlでゲート電極が作られていました(右図参照)。SiO₂膜に窓を開け、そこからP型やN型の不純物を拡散させて、先にソースとドレインを作り、ゲート電極を後から作ります。その場合は、ゲート電極を正確に位置合わせをしなければならず、少しでもズレると特性に大きな影響が出ます。そこで、ゲート電極を先に形成し、それをマスクにイオン注入する方法が開発された訳ですが、その後の1000℃近いアニールの温度にAlは耐えることができないことから、poly-Siになった訳です。poly-SiのMOSは、ソース、ドレイン、ゲートの相対位置が正確に決められるのが大きなメリットです。Alからpoly-Siに変わっても、最初に命名されたMOSと言う名前が引き継がれたわけです。



Si酸化膜(SiO₂)の一部に窓を開け、1000℃以上の高温で、BまたはPの雰囲気中に入れると、BまたはPがSi中に拡散する



拡散で形成されたソースとドレインに位置合わせをして、ゲート電極を形成する。電極はAlが用いられた

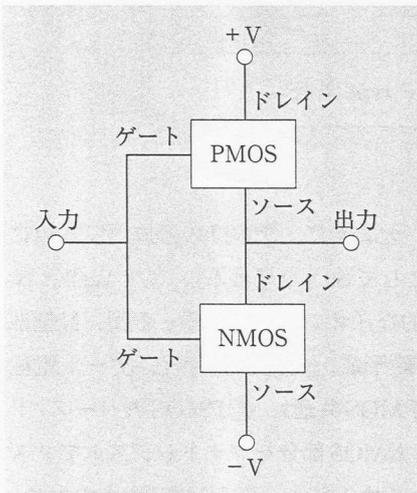


図2 CMOSインバータ回路

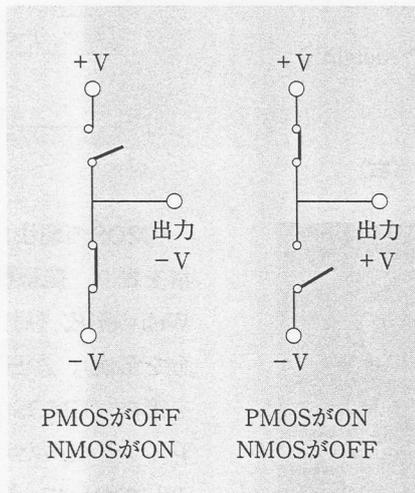


図3 NMOSとPMOSの等価回路

力が+Vなら出力は-Vとなります。これをインバータ回路と言い、ロジック回路の基本となっています。この回路の優れた点は、PMOSかNMOSのどちらかのMOSがOFFになっていて電流が流れないことです。ちょうど、旦那が怒り狂っている時は、奥さんが宥め役で、奥さんが立腹された時は、旦那が下手に出る。これが家庭円満の秘訣です。両方が同時に怒り狂うと、とんでもない電流が流れてしまいます。厳密に言えば、過渡現象的に電流は流れるのですが、直流的には流れず、消費電力が小さくなります。

消費電力が小さいCMOS LSI

現在はLSIの時代と言っても過言ではありませんが、そのLSIはほとんどすべてCMOSです。CMOSは、NMOSとPMOSを同一チップ上に作ったもので、図2のようにインバータ回路が良く用いられます。この回路では、NMOSとPMOSのゲート端子に同時に同じ入力信号が入りますが、すると、どちらかのMOSがONとなり、もう一方がOFFになります。等価回路的には、図3のようになります。すなわち、入力が-Vなら出力は+V、入

CMOS LSIの構造と製法

NMOSの構造やPMOSの構造を勉強された皆さんには、CMOSはお茶の子さいさいだろうと思います。ただし、基板のSiウェーハは、P型を使うとNMOSになり、N型だとPMOSになります。すなわち、CMOSを作るためには、同一結晶にP型部分とN型部分を作る必要があります。これをP-Well、N-Wellと呼んでいます。さらに、もう一つ注意しなければならないのは、同じ結晶の表面に幾つかのトランジスタを作ると、相互の電氣的

<ちょっと脱線その2>

半導体業界では、大きな数や小さな数を使いますので、慣れて頂く必要があります。大きな方では、1000が1k (キロ), 1000 kが1M (メガ), 1000Mが1G (ギガ), 1000Gが1T (テラ) です。メガは大文字のMで表し、小文字のmだとミリと間違われます。音声や画像のメモリとして大いに使われ出したNAND型フラッシュメモリは、8Gビットのものが生産されるようになりました。これを、 8×10^9 とか、 $8 \times 10E9$ のように記述することがあります。小さい方では、1/1000がm (ミリ), 1/1000 mが 1μ (マイクロ), 1/1000 μ が1n (ナノ) です。人間の髪の毛の太さは約 $70 \mu\text{m}$ (マイクロメータ。ミクロンとも呼びます) で、 $1 \mu\text{m}$ になると顕微鏡の助けがないと肉眼では全く見えません。ナノメータになると顕微鏡でも駄目で、電子顕微鏡の世界となります。なお、1nmの1/10が 1\AA (オングストローム) で、ほぼ原子の大きさです。現在、半導体の微細化はナノメータ時代に突入していますが、その先の \AA 時代になると原子を割らなければなりません。

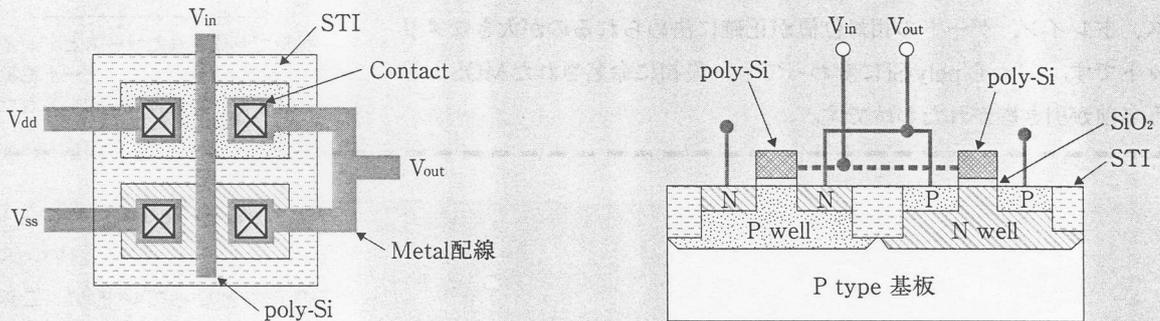


図4 CMOSの平面図 (左) と CMOSの断面図 (右)



図5 弥生時代のSTI (外敵や野獣から身を守るため、周りに溝を掘った環濠住居跡。STIの原型と言える)

干渉が起こるのを防ぐ必要があります。このため、トランジスタの周りは絶縁物を埋め込んだ溝で囲まれています。ちょうど、吉野ヶ里などの古代の遺跡では環濠住居が見られますが、そのように周りに溝を巡らせて外敵を防いでいます。LSIの場合は、他のトランジスタからの漏れ電流などを防ぎます。これをShallow Trench Isolation (STI) と呼んでいます。

CMOSの製法は、大まかに、①STIの形成 (Si基板に溝を掘り、絶縁物として SiO_2 を埋める)、②P-WellとN-Wellの形成 (局所的なイオン注入により、P型、N型部分を形成)、③ SiO_2 膜形成, poly-Si膜付け, ゲート電極を形成 (NMOSとPMOS共通)、④PMOSのソース/ドレイン形成のため、NMOS部分をフォトレジストでマスクしておいて、Bをイオン注入、⑤NMOS形成のため、PMOS部分をマスクしてPまたはAsをイオン注入、となります。このように形成されたCMOSの構造については、図4を見てもらえば、理解して頂けるでしょう。

以上、今回はCMOSについて取り上げました。ただし、今回の説明はほんの入り口であって、実際のCMOS LSIのプロセスは複雑です。例えば、イオン注入について今回のプロセスでは、①P-Well, ②N-Well, ③PMOSのソース/ドレイン, ④NMOSのソース/ドレインの4回でした。ところが実際に生産されているCMOS LSIでは、15回にも及ぶ場合があります。次回からは、その辺の技術を徐々に勉強して行きます。