

第8回 CMOS LSIのプロセス④

厚木エレクトロニクス 代表
サクセス インターナショナル 取締役
加藤俊夫

前回までNMOSについて勉強しましたが、いよいよ本命のCMOSの構造とプロセスの出番です。現在の半導体の主流デバイスは、CMOS LSIですが、フォトリソグラフィの回数も30回を超え、その他の主要工程を合計すると、処理数は200回を超えるでしょう。入門講座で、とてもすべてを取り上げる訳には行きませんし、最先端LSIとなるとあまりに複雑ですから、その触り程度を紹介し、半導体の面白さを味わって頂きたいと思います。

CMOSの作り方

1. 最初はSTIから

現在は、Gビットメモリの時代となりました。すなわち、爪程の大きさのSi片に 10^9 個、すなわち10億個のトランジスタが載っている訳です。それらのトランジスタに、電流が流れたり流れなかったりして信号を伝達している訳ですが、隣近所のトランジスタの電流が、勝手な通路を通過して入り込んできてはなりません。そこでトランジスタ相互間を絶縁するため、絶縁膜(SiO_2)の壁をSi中に埋め込みます。07年6月号でSTI (Shallow Trench Isolation) は、弥生時代の環濠住居のようなものだと説明しましたのを思い出して下さい。

SiO_2 をSi中に形成するのに、以前はLOCOS (Local Oxidation of Silicon) 法が用いられていました。LOCOS法はプロセスが簡単なので、現在でも微細ではないICには用いられています。図1に簡単にプロセスを紹介しておきます。このLOCOSでは SiO_2 の幅が広がってしまい(例えばエッチング幅が $0.2\mu\text{m}$ でもLOCOS幅は $0.4\mu\text{m}$ になってしまう)、チップ面積を小さくするためには無駄が非常に多いのが欠点で、現在はあまり用いられません。

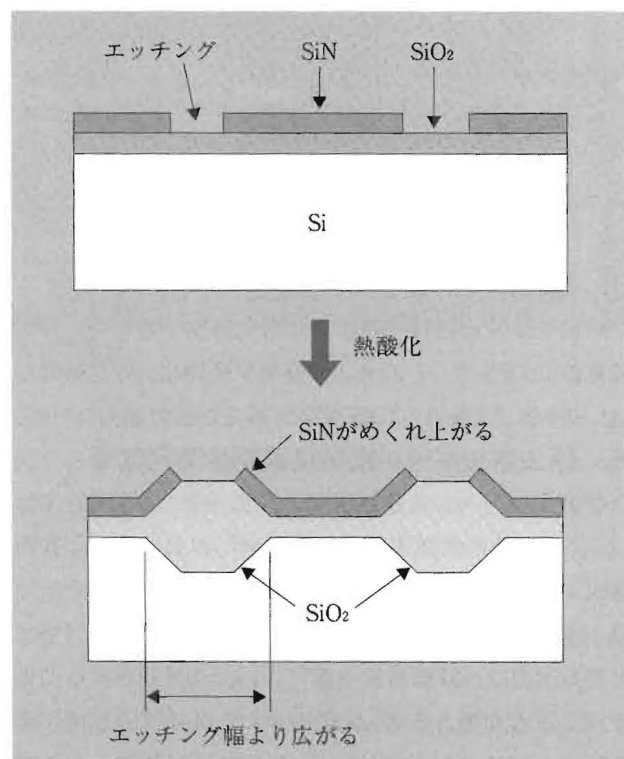


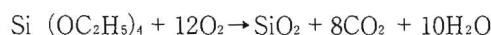
図1 LOCOSプロセス

200nm程度の微細化LSIからは、STIが一般に用いられています。STIは、Siに溝を掘って SiO_2 を埋めるだけです。話は簡単ですが実際は複雑です。一連のプロセスを図2に示します。まず、Siウェーハを熱酸化します。Si表面はできるだけ汚染したくないので、 SiO_2 膜をつける時は最も不純物の少ないSi結晶を酸化します。次いで、SiN膜をCVDで付けます。なぜ付けるのでしょうか。その訳はCMPのところで分かります。次にフォトレジストを塗布・露光・現像してパターンを形成し、それをマスクにしてSiN/SiO₂/Siの順にエッチングしてレンチが形成されます(図2-③)。次いで、 SiO_2 を埋める訳

ですが、通常は熱酸化SiO₂を薄くつけた後にCVDでSiO₂を埋めます。間にSiNを挟んでいる場合もあります。CVDのSiO₂は、トレンチの中だけ埋まってくればありがたいのですが、そうは問屋が卸してくれず、図2-④のように表面全体に付着します。これをCMPで削り落とします。この時、トレンチ以外の部分のSiO₂やSiを削ってしまってもいけません。そこでSiNが役に立ちます。SiNは一般にSiO₂より硬い膜なのでCMPで削られない上、SiNを侵さない薬液を含むスラリー（研磨材）を用いれば、SiNはほとんど研磨されず、研磨のストップの役目を果たします。

以上で、めでたくSTIが完成しました。

なお、トレンチに埋め込むSiO₂は、TEOS（Tetra Ethyl Ortho Silicate）を原料としたCVD膜が用いられます。TEOSは「テオス」と呼ばれ、酸素またはオゾンと反応してSiO₂膜を形成します。LSI工程ではよく用いられていますので、記憶しておいて下さい。反応式は次のようになります。



2. Wellの形成

NMOSとPMOSを作るためには、SiにP型部分（NMOS用）とN型部分（PMOS用）を作る必要があります。これをWell（ウェル）と呼んでいます。

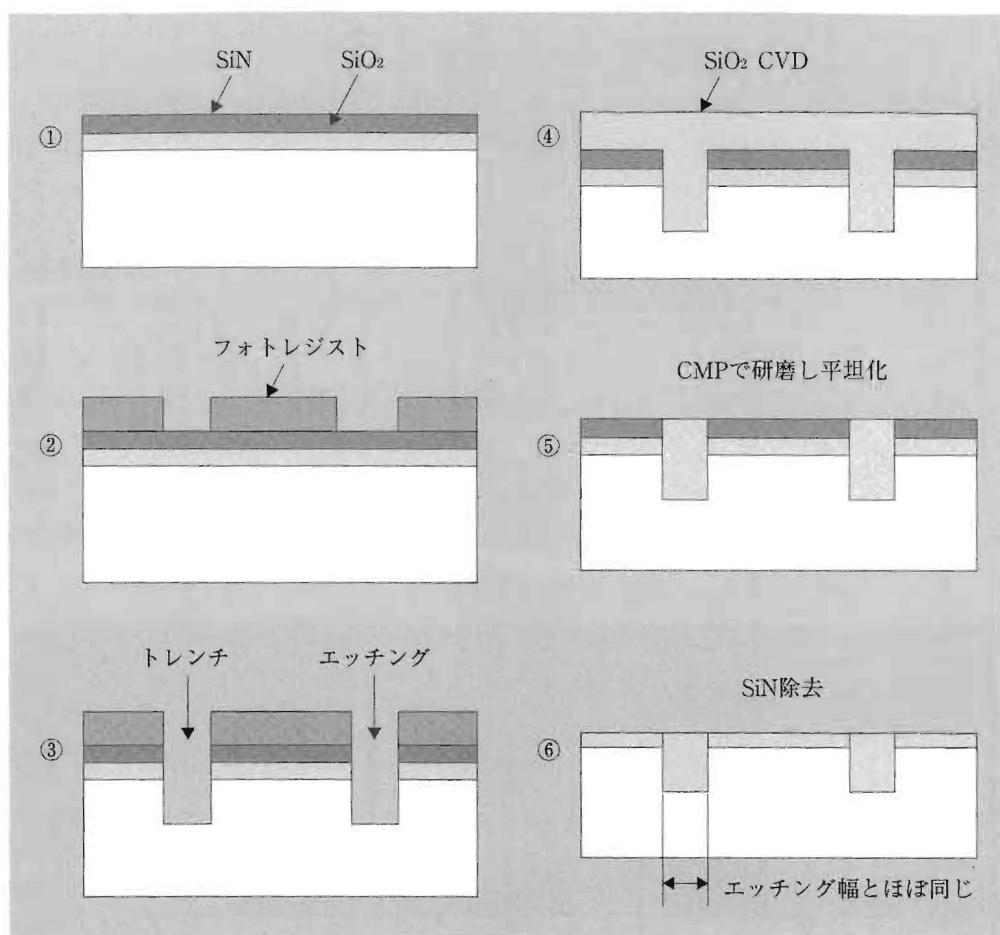


図2 STIのプロセス

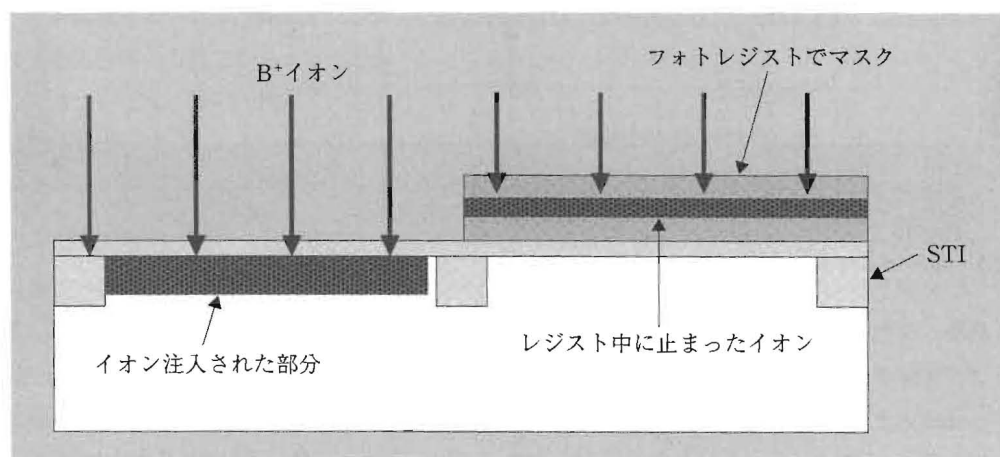


図3 Bをイオン注入して、P-Wellを形成する

まずP-Wellを作るには、それ以外の場所をフォトレジストでマスクしておき、マスクしていない場所に、図3のようにP型不純物（普通はB）をイオン注入します。逆にN-Wellの形成には、P-Well部分をフォトレジストでマスクしてPをイオン注入します。

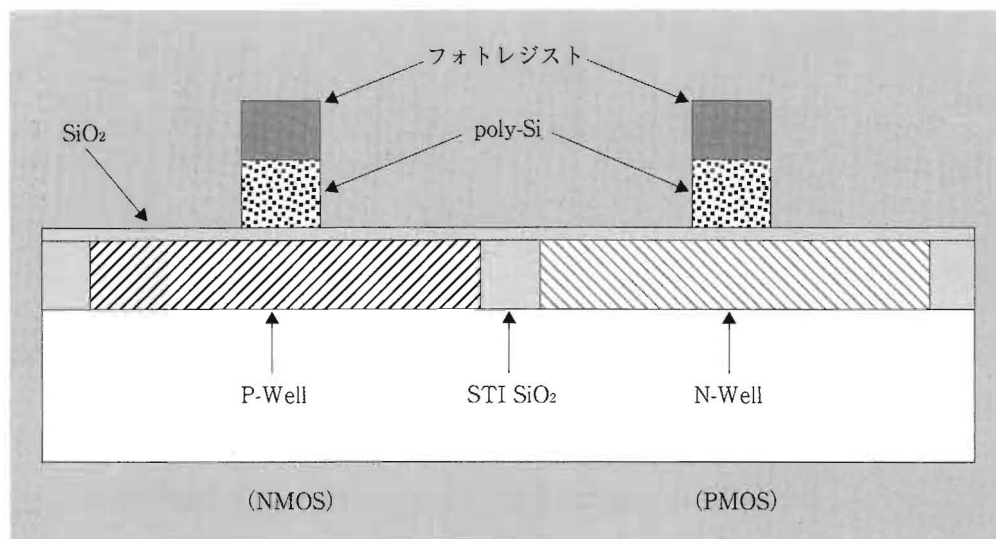


図4 ゲート電極のエッチング

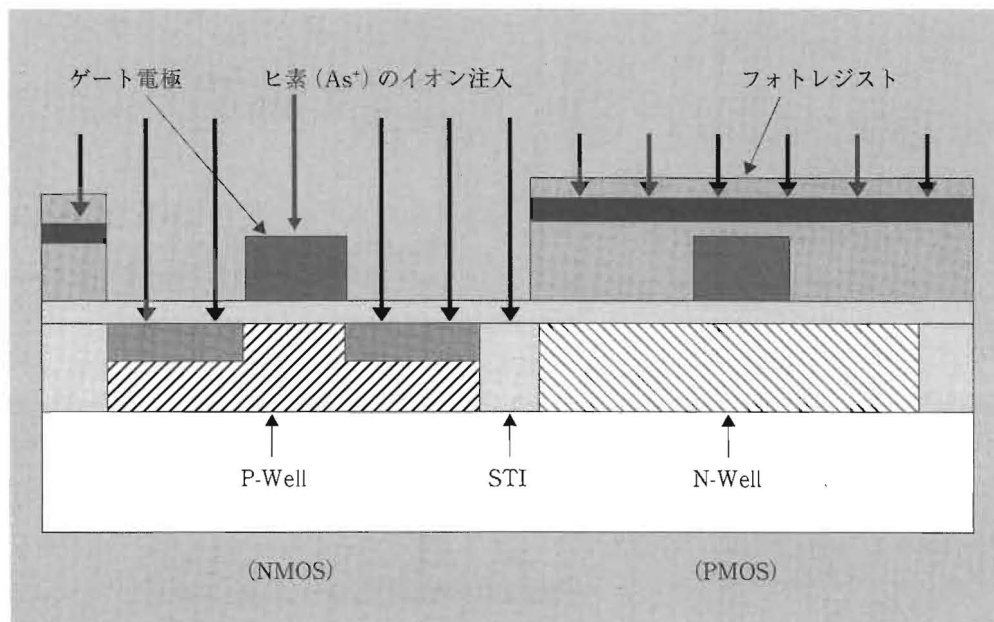


図5 Asイオンを注入

P型、N型ともに打ち込み量は 10^{12} atoms/cm²と低濃度ですが、打ち込み深さは $1\mu\text{m}$ 程度の深い打ち込みです。(MOSトランジスタでは、 $1\mu\text{m}$ といえかなり深いという感覚です)

イオンを注入した後、 1000°C 程度の高温でアニールします。

3. Gate Oxidation

P-WellとN-Wellが形成されると、続いてゲート酸化、poly-Si膜付け、ゲート電極エッチングを行います。この一連の工程は、先にNMOSのプロセスで説明した通りで

す。念のため復習しておきましょう。

ゲート酸化は、 1000°C 程度の高温炉の中で酸素または水蒸気の雰囲気中でSi表面を酸化させSiO₂を形成します。SiO₂膜の厚さは、数十nmですが、最近は微細パターンのMOSになって、 $1\sim 5\text{nm}$ という薄い膜も用いられます。SiO₂の厚さは、酸化時間の平方根に比例するので、炉の中でゆっくり酸化していると厚くなり過ぎるため、RTO (Rapid Thermal Oxidation) と呼ばれる短時間酸化が行われます。

4. poly-Si Deposition

poly-Si膜のCVDには、シランガス(SiH₄)を用いる場合が多い。ホットウォールのLPCVD装置を用い、キャリアガスとしてH₂か不活性ガスをを用い、 600°C 程度の温度でウェーハ表面でSiH₄が分解してpoly-Siが生成されます。

フォスフィン(PH₃)やジボラン(B₂H₆)などのガスを同時に流すと、P型、N型のpoly-Siを生成することもでき、そのようにpoly-Siに不純物をドーピングする場合もあります。

5. Gate Etching

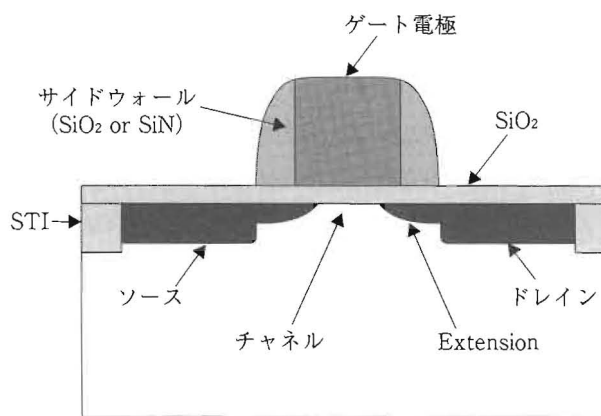
まず、フォトレジストでゲートのパターンを形成し、プラズマガスでpoly-Siをエッチングします(図4)。プラズマとしてCF₄を用いると、下地のSiO₂もエッチングしてしまう可能性があり(選択比が悪いといいます)、ClやBrのハロゲン系のガスも用いられます。

次いで、酸素プラズマでフォトレジストを剥離します。

くちよっと脱線：最先端LSIを覗いてみる>

LSIのパターン寸法が年々微細化されているのはご存知だと思います。MOSが微細化されると、1チップに組み込めるトランジスタ数が増えるだけでなく、性能的にも消費電力が下がり、動作速度が上がるなど、メリットが大きいので、微細化競争が続けられました。ところが、ナノメータ時代になって微細化に伴う数々の不都合が発生し、その対策のためMOS構造やプロセスが非常に複雑になってきました。入門講座には相応しくありませんが、最先端LSIで話題になっている技術を簡単に紹介しておきます。

- ①MOSの V_{th} (MOSがONになるためのゲート電圧) を、何種類も設けるため、チャネル部の不純物濃度を変える必要があり、イオン注入を何度も行う。
 - ②MOSの短チャネル効果を防ぐため、ドレインに極めて浅い張り出し部分 (Extensionと呼ばれている) を設けている。さらに結晶内部のWellの部分の濃度も微妙に制御している。このため、斜めイオン注入なども行われる。
 - ③横方向の寸法の縮小と同時に、縦の寸法も縮小する必要がある。ゲート酸化膜の厚みは、1nm (原子の数で数個) 程度が必要となり、絶縁物のはずの SiO_2 をトンネル電流が流れてしまう。誘電率の高い別の材料を用いる。
 - ④ゲート電極のpoly-Siは半導体的な性質があり、電界により空乏層ができてしまうので、この対策として金属または金属化合物にする。
 - ⑤Si中に原子半径の大きいGeなどをドーピングして、Si結晶に圧縮や引っ張り応力を与えて、電子や正孔の移動度を改善する。
 - ⑥極薄いSi (1 μm 以下、10nmの場合もある) にMOSを作り、その下は絶縁物にしたSOI (Silicon on Insulator) 結晶も用いられている。
- 以上のような最先端LSIについても、いずれ機会があれば勉強したいと思います。



微細化MOSの構造

6. ソース/ドレインへのイオン注入

まず、NMOSのソースとドレインを作りましょう。それには、PMOS部分をフォトリソでマスクしてV族の原子として、As (ヒ素) イオン注入します (図5)。先に形成したpoly-Siがマスクとなって、その両側のみにイオン注入されます。ソースとドレインの電気抵抗を下げ、電極のコンタクトを良くするため、ドーズ量は非常に高濃度になります。例えば、 $10^{15} \sim 10^{16} \text{ atoms/cm}^2$ 程度です。

次にフォトリソを剥離し、新たにNMOS部分をマスクするためのフォトリソをパターンニングし、PMOSのソースとドレインをイオン注入します。ドーパントはⅢ族のBです。

フォトリソを剥離した後、1000℃程度の高温でアニールします。このレジスト剥離は意外に厄介で、高濃度にイオン注入されたレジストは、もはや単なる高分子ではなく酸素プラズマでアッシングしても簡単には灰になりません。エッチングが進まなかったり、残渣が残ったりします。Fを微量添加するとか、薬液処理を追加するとか、各社ノウハウがあって苦労しているようです。

以上で、CMOS LSIのNMOSとPMOSのトランジスタ工程、すなわち、FEP (Front End Process) が完了です。この後は、多層配線の工程、BEP (Back End Process) になりますが次回のお楽しみに。