

第9回 CMOS LSIのプロセス⑤

厚木エレクトロニクス 代表
サクセス インターナショナル 取締役
加藤俊夫

今回は、LSIの配線工程です。トランジスタを作りこむ工程をFEP (Front End Process)と呼ぶのに対して、配線工程はBEP (Back End Process)と呼んでいます。ちなみに、ウェーハを扱う工程を前工程、パッケージに組み立てる工程を後行程と呼んでおり、やや紛らわしいので注意が必要です。

配線の作り方

1. 電極窓明け

トランジスタのソース、ドレイン、ゲートが形成された時には、ウェーハの表面は酸化膜で覆われています。そこから、それぞれの電極を取り出すためには、酸化膜の一部をエッチングして窓を開ける必要があります。

ところがウェーハ表面は平坦ではなく、ゲート電極は $0.3\mu\text{m}$ 以上の高さを持っており、これを平坦にするには、 $0.5\mu\text{m}$ 以上の絶縁膜をつける必要があります。このためウェーハ全面に SiO_2 をCVDで付け、さらに平坦化するためCMPで削ります。その後で、電極を取り出すための窓(コンタクト窓)を開けます。

窓開けはすでにご存知のフォトレジストでマスクしてプラズマ・エッチングで行います。

トランジスタの電極を取り出す部分や上下の配線層間をつなぐ部分を、プラグ(Plug)と呼んだり、ビアホール(Via hole)と呼んでいます。Beer Hallではありません。プラグは電気の差込口のことで、ビアは何々を

経由してと言う場合に使われる前置詞です。ここに埋める材料はタングステン(W)が一般的です。ただし、WはSiとの電氣的接触があまり良くないので、Siとの間にTi/TiN膜を挟みます。Ti/TiNはスパッタで行い、WはCVDが用いられます。WのCVDは、 WF_6 (六フッ化タングステン)を水素で還元します。Wは、穴の中だけに入ってくれば好都合ですがそうはいかずウェーハ全面に付着しますから、不要な部分をCMPで削り落とします。本誌07年11月号の単体NMOSの説明では、簡単にAlで埋め込む説明をしましたが、LSIでは上記のようになります。

2. 第1層のAl配線

プラグの埋め込みの次は、配線層第1層のAl配線をスパッタで行います。厚さは設計により異なりますが、 $0.2\sim 0.3\mu\text{m}$ 程度です。これをフォトレジストを用いてパターンニングします。このプロセスは、07年11月号で述べましたので詳細は省略します。

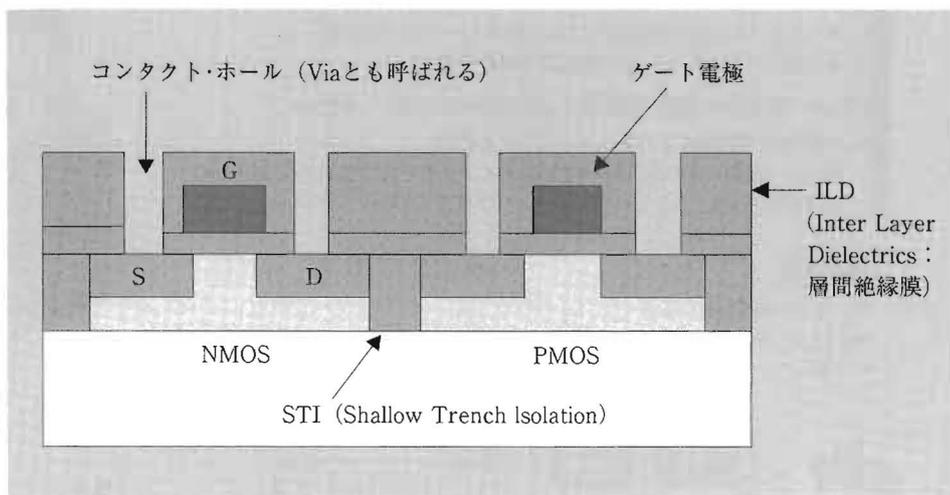


図1 コンタクト窓を明けたところ

＜ちょっと脱線その1：警察の要らない国＞

コンタクト窓開けの説明だけ聞くと、簡単な工程と思われるかも知れませんが、微細化が進んだLSIの場合は、ホール径は $0.1\mu\text{m}$ 以下になり、 SiO_2 の厚さが $0.5\mu\text{m}$ だとアスペクト比が5となり、井戸を掘るような穴開けが必要です。さらに、DRAMというコンデンサを組み込んだLSIなどの場合は、表面の突起が高く SiO_2 膜はさらに厚くなり、アスペクト比は15ぐらいまであります。井戸掘りエッチングについては07年11月号を復習して下さい。また1チップにトランジスタが1億個ある場合には、窓開けは2~3億個も必要で、この膨大な数の穴がすべて完全でなければ歩留りに影響する訳ですから大変です。丁度、日本中に悪人が一人も居ないことを期待しているようなものです。そうなれば警察は要らないのですが……

3. 層間絶縁膜CVDとビアホール

第1層配線と第2層配線の間には、絶縁膜としてBPSGをCVDします。BPSGは、Boron Phosphor Silicate Glassの略でした。BPSG膜は下地にならって凹凸ですので、図2のようにCMPで平坦化します。次いで、電極窓明けの項で述べたように、フォトレジストを用いてビアホールをエッチングします。

4. 多層配線

以上のプロセスを繰り返して、配線を多層に積んでいきます。

ここまでは、前にも勉強したところなので、簡単に理解されたと思います。ところが、最近の微細化されたLSIでは、配線材料がAlからCuに代わりつつあるのです。

5. Cu/low-kの配線

トランジスタを微細化しチップ内に数多く並べると、その間を結ぶAlの配線は細くする他ありません。配線が細くなると断面積が小さくなりますから、電気抵抗Rは大きくなります。一方、配線間の容量を考えると、配線間の距離が短くなって容量Cは大きくなります。そこで、CRの積は二乗で増大することになります。電流は水の流りに例えられることが多いが、図4は水の抵抗が大きく、容器の容量が大きい場合を表しています。容器が一杯にならない内に次の信号が入ってくると対応できなくなります。すなわち、時定数が大きいということになります。電気回路もこれと同じで、CRの積

が大きいと信号の遅延が起こります。トランジスタが微細になると、チャンネル長が短くなり、信号の伝達は早くなって高速動作が可能ですが、配線の遅延の方が支配的になってきました。この関係を図5に示します。

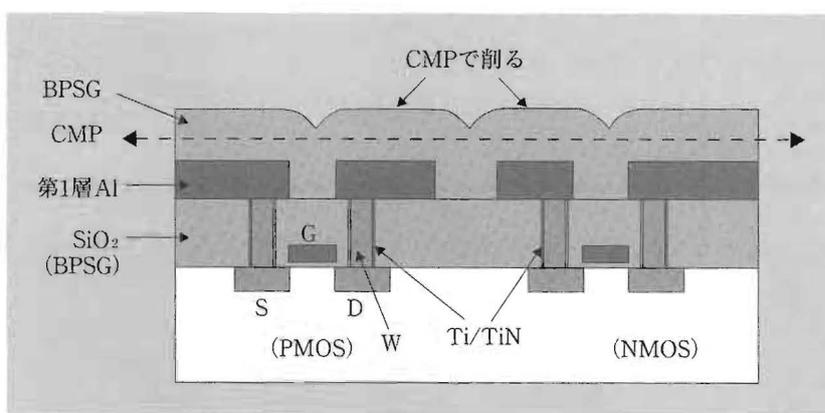


図2 層間絶縁膜のBPSGをCMPで平坦化するところ

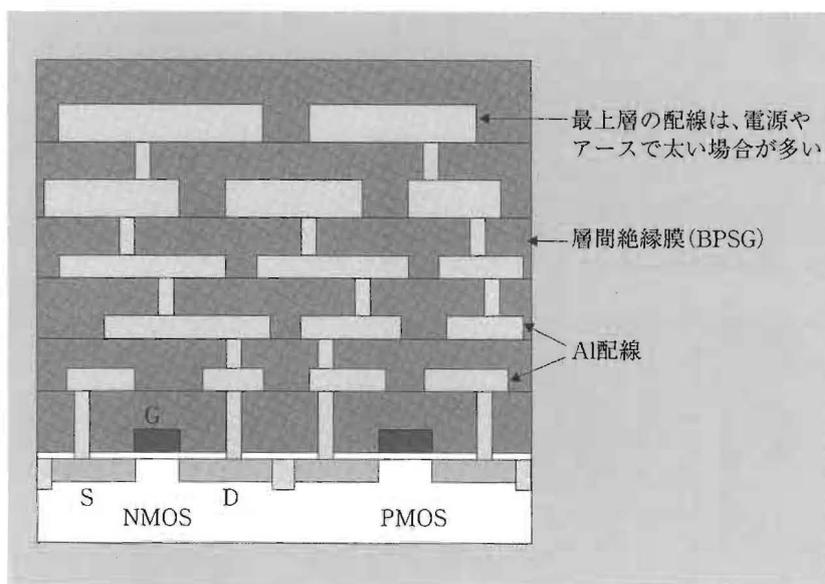


図3 多層配線の断面

が大きいと信号の遅延が起こります。トランジスタが微細になると、チャンネル長が短くなり、信号の伝達は早くなって高速動作が可能ですが、配線の遅延の方が支配的になってきました。この関係を図5に示します。

<ちょっと脱線その2>

最近、東京で開通した地下鉄の大江戸線は、駅のプラットフォームが実に地下深いところにありますが、既設の地下鉄や配線・配管の下を潜り、非常に難工事だったそうです。LSIもトランジスタ数が多くなると、互いに交差しないように配線するため、ますます難工事になり、5層配線は当たり前で、遂に10層配線も現れました。一般に配線が1層増えると、フォトレジスト回数が2回増えます。すなわち、配線パターンと配線間をつなぐパターンが必要です。10層配線なら20回のフォトレジスト工程が必要で、欠陥発生率が増えて歩留り低下が懸念され、TAT (Turn Around Time : ウェーハ投入から出荷までの日数) もどんどん長くなっています。

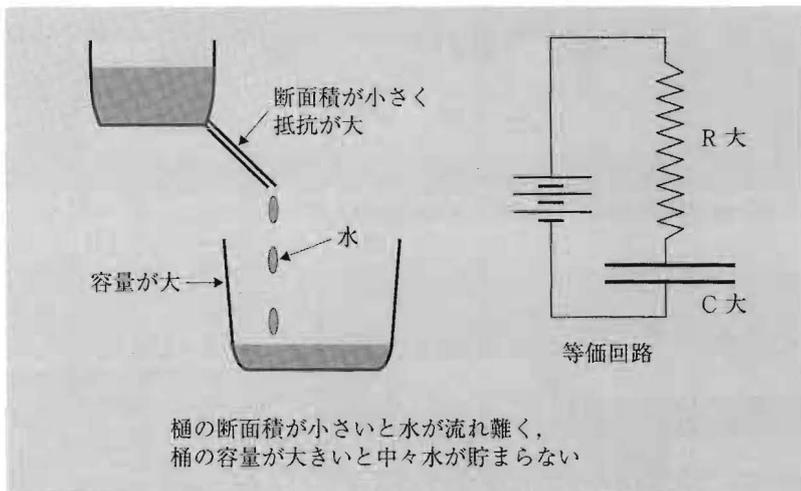
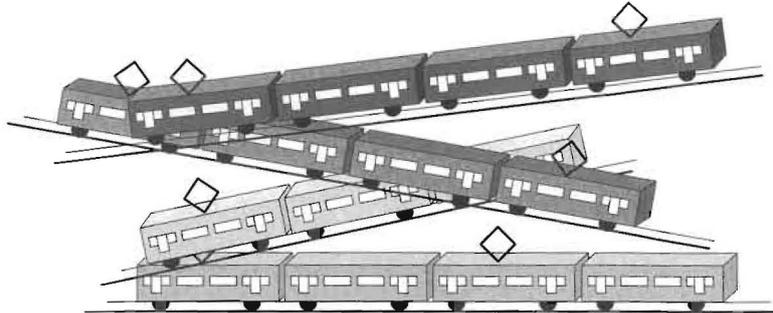


図4 配線が微細になると、CR時定数が大きくなる

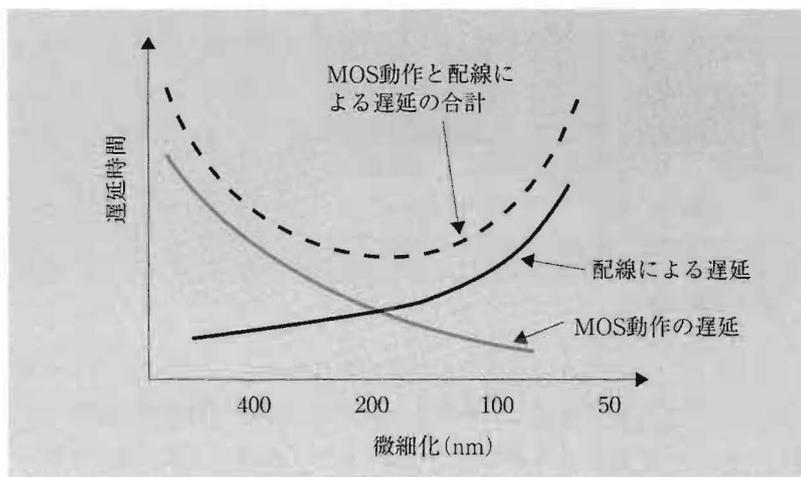


図5 配線による動作速度の遅延が問題に

6. Cu配線とlow-k絶縁膜

CRの積を下げるため、CとRをそれぞれ下げる努力が各所にて行われています。ここは入門講座なのであまり詳しく述べませんが、現在のLSIでは大きなテーマとなっています。

(1) AlからCuへ

Alに比べるとCuの電気抵抗は約2/3ですので、Alに代わってCuの配線が用いられるようになってきました。ところが、CuはAlのようにスパッタしてエッチングすることができません。プラズマエッチングで反応は起こっても、うまく揮発してくれる化合物が無いのです。そこで図6のように絶縁膜に溝を掘ってそこにCuをめっきで埋め込み、余分なCuをCMPで削ります。この方法をダマシン (Damascene) と呼んでいます。ダマスカス地方に伝わる象嵌の手法です。Cuは絶縁膜中へ入って絶縁不良を起こしやすいので、図6のようにTa (タンタル) などのバリア金属を挟みます。Cu配線はかなり厄介な工程と言えるでしょう。

(2) low-k膜

ここでkと呼んでいるのは比誘電率のことで、low-k膜とは比誘電率が低い膜のことで

す。BPSGなどのガラス系の物質は、 $k = 4$ 程度ですが、酸素を炭素に置換したSiOCなどは、 $k = 2.5$ 程度に下がります。樹脂をスピコートするlow-k膜もあり、さらには泡が一杯入っているポーラス膜なども用いられています。ポーラス膜は非常に柔らかいので、加工するのに苦労しています。

7. プロービング

配線の形成が終わると、表面を保護するためSiNなどの膜を被せます。次いで、電気特性を測定します。一般のLSIではチップ周辺部に電極を並べることが多いのですが、ここに針を立てて電気特性を測定します。電極の数は、数十か所の場合から、数百か所の場合もあり、中には千か所以上もあるLSIもあります。当然、プローブ針もこの数だけ立てます。その様子を図7に示します。パッ

ドの大きさは、 $50\mu\text{m} \times 100\mu\text{m}$ 程度ですが、微細化に伴いさらに小さくなりつつあります。プロービングでの問題は、ここでの歩留りです。全チップ数に対して合格数の割合を歩留りと言いますが、長いプロセスを通ってきたウェーハは、色々な欠陥を持っていますから、歩留まりは100%とは行きません。ひどい時には、30%ぐらいの場合もあります。特に新タイプを生産開始した時には低く、徐々に改善を重ねて向上して行きます。歩留りは直にコストに響きますから、歩留りは最重要管理項目です。プロービングでは、すべての電気パラメータを測

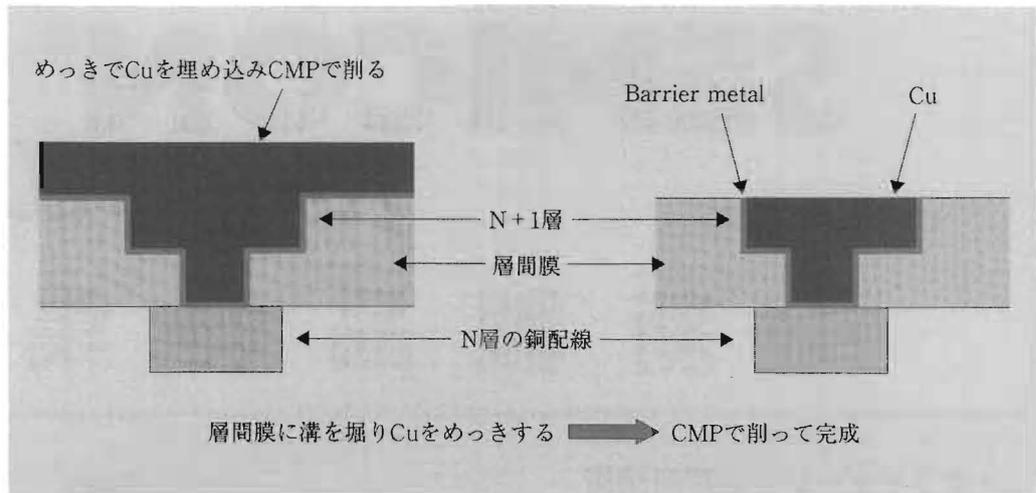


図6 N層のCu配線の上にN+1層のCu配線を形成

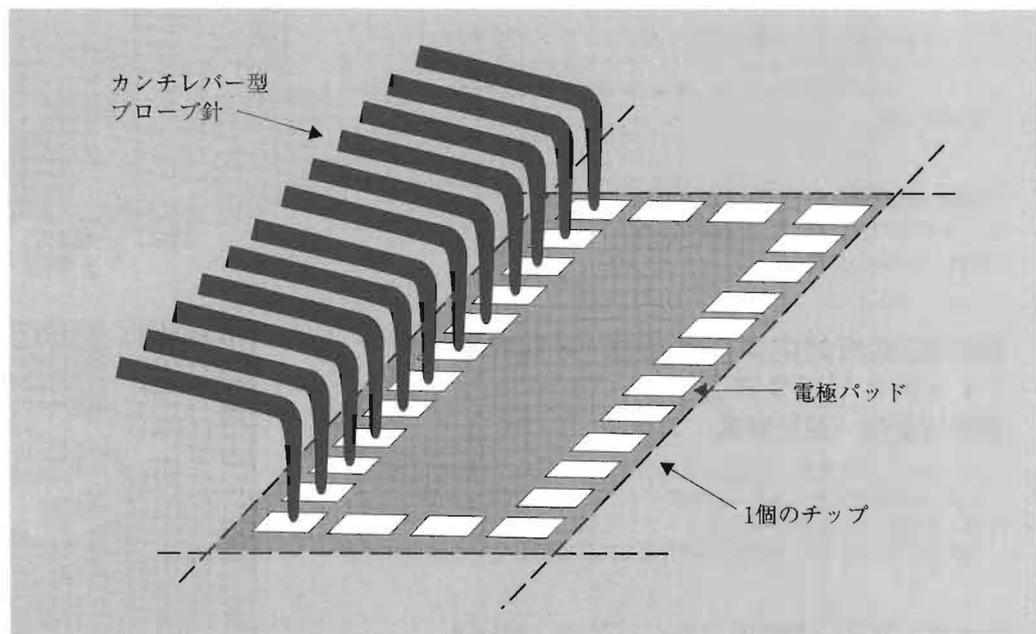


図7 チップの電極パッドにプローブを立てたところ (片側だけを示しましたが、もちろん、全電極パッドに立てます)

定するのが理想ですが、全チップを丁寧に測定するには時間が掛かりますから簡易測定も行われます。要は、歩留りを把握して問題を早期に発見することと、後の組み立て工程に不良品を送らないことが目的です。

以上でCMOS LSIの構造とプロセスを一通り見てきました。この後、ウェーハは多数のチップに分割してパッケージに組みます。次回はその組立工程を説明します。

なお、本講座はプレスジャーナルのWebサイトに順次掲載されています。URLは、<http://www.semiconductorjapan.net> です。