

第12回 DRAM

厚木エレクトロニクス 代表
サクセス インターナショナル 取締役
加藤俊夫

今月は、代表的な半導体デバイスであるメモリの王様DRAMを取り上げます。最近では、フラッシュメモリも集積度、生産規模などDRAMと肩を並べるようになってきましたので、こちらはメモリの女王様でしょうか。

DRAMの仕組み

さて、メモリにも色々な種類があり、図1に機能別に分類してみました。

この図では、まず「読み書き可能」と「読み出しのみ」に分類されています。前者は、どのビットも自由に信号の出し入れができ、読み出すことが可能（Random Access）なのに対し、後者は一度書き入れるとその後は変えられない（Read Only）メモリです。次に揮発性（Volatile）と不揮発性（Non Volatile）に分類されます。不揮発性は書き入れた情報がいつまでも保存されるのに対して、揮発性は電源を切ると記憶した内容が消えてしまうメモリです。次に、ダイナミックというのはDRAM特有のリフレッシュ動作のことで、後で詳しく説明します。代表的なメモリであるDRAM（Dynamic Random Access Memory）が、マスコミなどで報道される時は、「リフレッシュが必要な、随時書き込み、読み出しメモリ」といわれることが多いのが分かって頂けたかと思います。

1. リフレッシュ：働きづめのDRAM

現在、普通に使用されているメモリは、碁盤目のように縦横に配線が走り、その交点に記憶するセル（Cell）が配置されています。セルの元の意味は修道院の独居房だそうですが、今は細胞など大きなものを構成する小さな単位の意味に使われています。DRAMの場合は、図2の

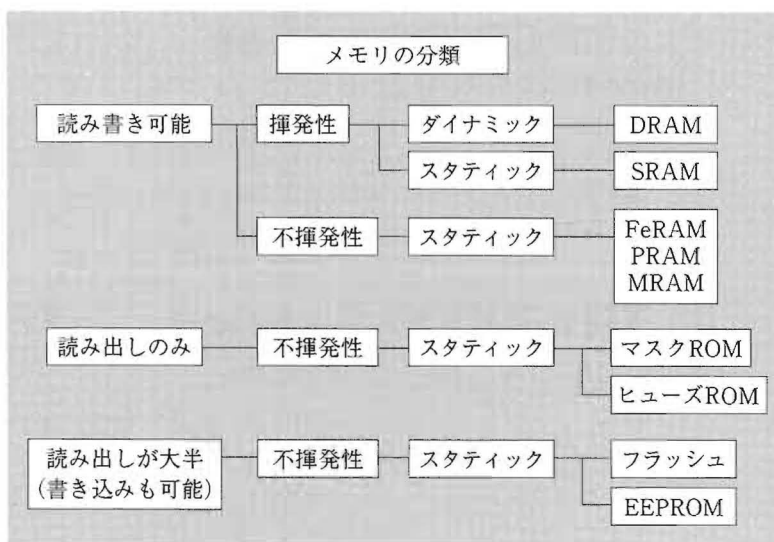


図1 半導体メモリの分類

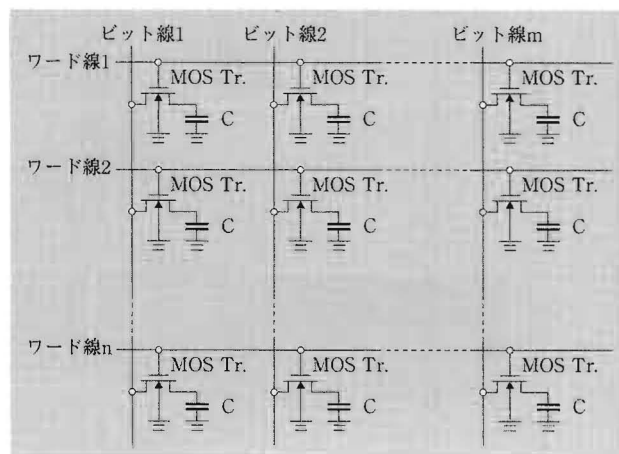


図2 DRAM回路図

ようにセルはワード線とビット線の交点に、MOSトランジスタ1個とキャパシタ1個から構成されています。情報は、キャパシタに電荷が蓄積されているか否かで、ONかOFFに対応します。実際のデバイス構造を図3に

＜ちょっと脱線1＞

「日本の半導体業界復活」という言葉がよく聞かれますが、若い方々は何が復活なのかピンとこないかもしれません。私のように40年以上も半導体業界に関係してきた人間は、80年代の日本の発展ぶりが脳裏に焼きついているわけです。ちょうどその頃、米国のVogel氏の「Japan as No.1」という本が出て、日本が世界を征服したかの錯覚に踊っていたわけです。DRAMを中心として米国を抜いて世界の半導体の50%は日本で生産され、ベスト10に6社も日本メーカーがランクされていました。しかし、当時DRAMの大手メーカーだったIntelは、スパッとDRAMから撤退しCPUに特化する戦略を打ち出し、社内の多くの抵抗を排して今日の繁栄を築いたトップの決断は賞賛されます。日本の生産量が世界一といっても、韓国、台湾にアッという間に追い抜かれる、浮き草のような頼りないものだったわけで、戦略不在といわれても止むを得ないでしょう。この失敗を繰り返さないようにしたいものです。

示します。DRAMは周辺回路がCMOSですが、セルだけならNMOSです。

DRAMの問題は、キャパシタに蓄えた電荷を時間とともに放電してしまうことです。来月取り上げる予定のフラッシュメモリなどは、電荷を蓄える場所の周りを絶縁物で完全に囲まれており、半永久的に放電しませんので不揮発性になりますが、DRAMは図3のようにキャパシタの電極がMOSのドレインに接続されており、ここから電荷が漏れてしまいます。そこで、頻繁に情報を読み出しては同じ情報を書き入れる操作を行う必要があります。これをリフレッシュと呼んでいます。我々がリフレッシュといえは、日頃の疲れを癒すことですが、DRAMでは1秒間に数十回も読み出し書き入れを行うことなのです。

2. DRAMキャパシタの構造

リフレッシュで忙しいDRAMを少しでも楽にさせてやるには、キャパシタの容量を増やす必要があります。電荷量が多すぎるとエラーを引き起こすことにもなります。図4はキャパシタ構造の変遷です。20年近く前には、まだ設計ルールも $1\mu\text{m}$ 以上のラフでしたの

で、図4の左側のようなSi基板に薄い酸化膜を挟んで電極を設けた平行平板キャパシタでよかったのですが、MOSが微細化されて集積度を上げる必要が生じて、図4のトレンチ型やスタック型のように縦方向の構造にして、チップ面積を小さくしながらキャパシタの表面積を

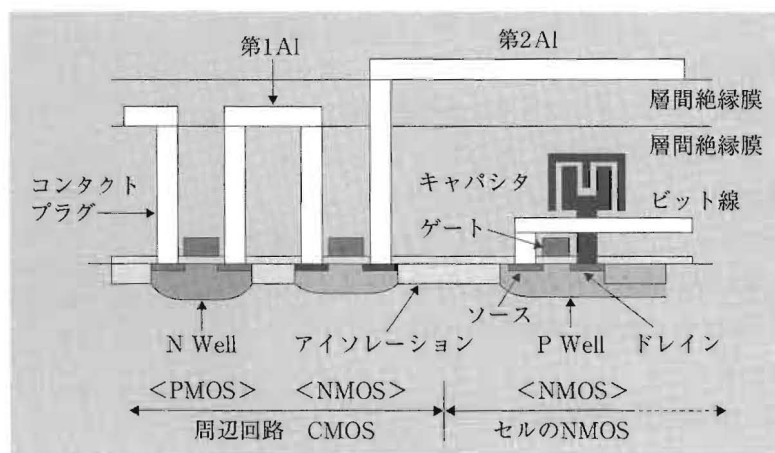


図3 スタック・キャパシタ形DRAMの構造

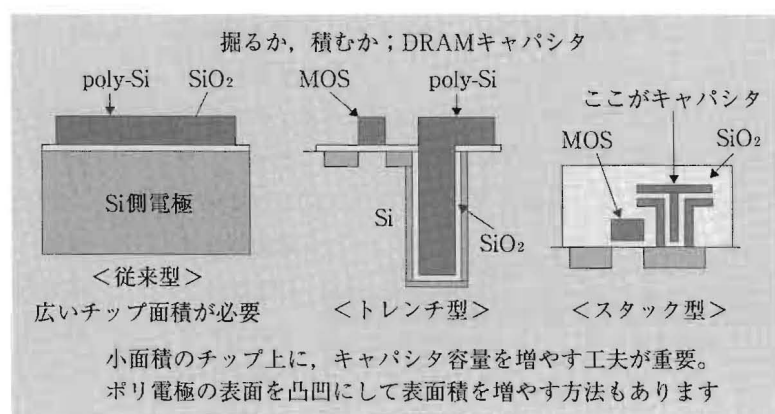
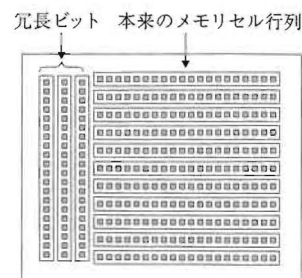


図4 DRAMキャパシタの構造

増やすのが一般的になってきました。トレンチ型の場合は、まずSiに細くて深い穴をエッチングで開け、Si面に高濃度の不純物をドーピングし、 SiO_2 などの極薄絶縁膜をつけ、最後にpoly-Siの電極を埋め込みます。スタック型は、図4のように何層にもSi上に層を積んでいきま

＜ちょっと脱線2：冗長ビット＞

1Gビットは10億ビットですから、中には悪人も居ます。しかし完成したメモリは完全無欠が要求されますので、悪人は刑務所に入って頂き、代わりの善人に交代して貰います。このため、大規模メモリには冗長ビットというお助けビットが用意しており、不良箇所があると入れ替えます。入れ替えるのは、1ビットを扱うのも大変なので、1行全部を入れ替えるようです。poly-Siの配線を焼き切るなどの方法で行われます。



す。どちらも製造プロセス数が増加して複雑になります。また、図3のように、スタック型ではMOSの上にかかなりの厚さのキャパシタが載りますから、MOSのソース/ドレインから電極を取り出すのが大変です。厚い絶縁層に深い穴を掘り、そこにタングステンなどの金属を埋め込んで電極としますが、そのアスペクト比（縦横の比）は10以上になっています。キャパシタの容量は、比誘電率に比例しますから、高誘電率の絶縁物を挟むのが有利です。そのため、表1のような物質が検討され、実用化されつつあります。

3. 読み出し書き込み

さて、このようにキャパシタに帯電した電荷から、どのようにしてON・OFFを読み出すのでしょうか。まず、特定のビットを読み出すには、ワード線とビット線に電圧を与えてその交点のMOSトランジスタを導通状態にします。すなわち、MOSトランジスタはスイッチの役目をしているわけです。MOSが導通すると、キャパシタはセンス・アンプに繋がります。センス・アンプは通常

表1 DRAMキャパシタ用高誘電率材料

DRAMキャパシタに新材料	
高誘電体材料	比誘電率(k)
ON (SiO ₂ /SiN)	5~7
Ta ₂ O ₃	~20
BST (BaSrTiO ₃)	200~
PZT (PbZrTaO ₃)	500~

DRAMのキャパシタの大容量化には誘電率の高い材料が検討され、一部で用いられています。これらの材料を用いるには、電極金属にAlを用いることができず、Pt（白金）やIr（イリジウム）などの貴金属が用いられ、膜付けやエッチングに、これまででない技術が要求されます。これらは、MIM（Metal-Insulator-Metal）と呼ばれます

電源電圧の1/2に設定されていますので、キャパシタの電圧は1/2より高いとON、低いとOFFと判定します。ここで注意

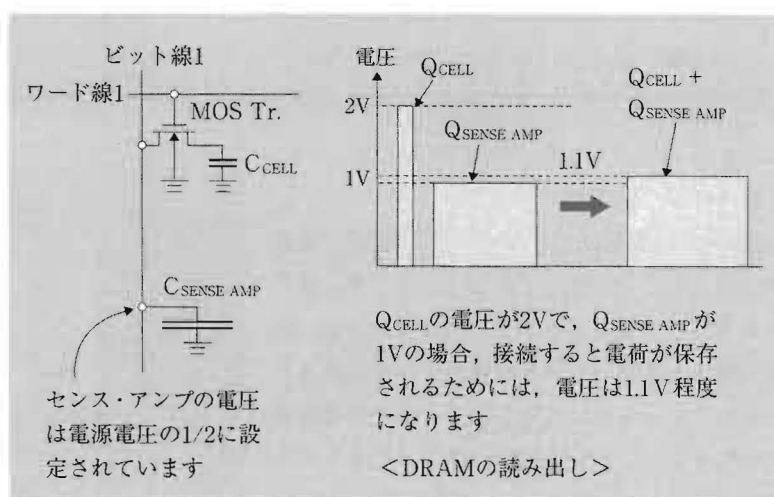


図5 センス・アンプでの情報の読み出し

を要するのはセンス・アンプは多くのビットと繋がっていますから、大きな容量を持っています。電荷Qは、 $Q = CV$ で、キャパシタ容量と電圧の積なので、二つのキャパシタが繋がると電荷量は一定ですから、仮にセルが2Vで、センス・アンプが1Vなら、接続した途端に図5のように1.1V程度の電圧に下がってしまいます。

1Vと1.1Vでは大きな差がありませんので、エラーの原因になりかねません。従って、セルのキャパシタ容量は大きいほど良く、また大きいとセンス・アンプに多くのセルを繋ぐことができ、集積度が上げられます。

書き込みは簡単で、スイッチMOSをONにし、ビット線から電源電圧またはゼロ電圧をキャパシタに与えれば良いわけです。

今月はDRAMについて勉強しました。DRAMはコンピュータのメインメモリとして大量に使用されていますが、最近はデジタル民生機器や携帯電話にも用いられて、ますますビジネスが拡大しています。来月は、フラッシュメモリなどその他のメモリについて取り上げます。