

CMOS LSI最先端技術動向 22nm以降の微細化に伴う課題を徹底検証

加藤俊夫/編集顧問 兼 厚木エレクトロニクス

CMOS LSIの微細化では、22nm以降でのデバイス生産がいよいよ目前に迫ってきた。しかし、ゲート長がナノオーダーとなり、ゲート酸化膜の厚さがわずか1nmという超微細な領域に入ると、トンネル効果によるリーク電流など、量子論的な現象の影響が顕著になり、正常なトランジスタ動作が保証できないという問題に直面している。本稿では、CMOS微細化に伴う課題を大づかみに理解することを目的に、最先端デバイス開発の全体像をまとめる。

はじめに

図1は、これまでの30年間のメモリ集積度の変遷を表したものである。近年はDRAMからNAND型フラッシュメモリが集積度のリーダーとなって、そろそろ16Gビットの生産が始まり、ますます集積度と性能の向上が期待される。そこで、12月の「SEMICON Japan 2009」を迎える機会に、CMOS LSIの技術動向をまとめ、多くの装置・材料メーカーの方々の今後の指針に供したい。

CMOS LSIとFEP工程の概略

まず、現在多くの工場で生産されているCMOS LSIの構造とプロセスを確認する。図2にFEP工程を示す。

1. STI, P-well, N-well形成

最初の工程は、Siをエッチングしてトレンチを形成し、そこにSiO₂を埋め込んでSTIを形成する。ついで、NMOS領域にP型不純物(B)を、PMOS領域にN型不純物(リン)をそれぞれイオン注入して、P-wellとN-wellを形成する。V_{th}値を制御するため、NMOS、PMOSの表面に

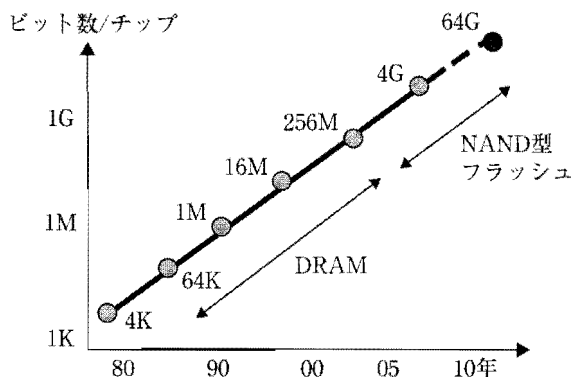


図1 メモリ集積度変遷

所定の濃度の不純物をイオン注入する。

2. SiON, ゲート電極, 浅いイオン注入

非常に薄いSiO₂を熱酸化で形成し、少し窒化してSiON膜とし、その上にpoly-Si膜をLPCVDで形成する。フォトリソを用いてpoly-Siをエッチングしてゲート電極を形成し、そのゲート電極をマスクにしてイオン注入を行う。NMOSにはAs, PMOSにはBを打ち込み、Extension部とする。ドーズ量は、10¹¹~10¹⁵Atoms/cm²とかなり高濃度で、かつ10nmと極めて浅い注入が望ましい。

3. サイドウォール, ソース/ドレイン形成

CVDとそれに続くエッチングでゲート電極の両側にサイドウォール膜を形成し、それをマスクにイオン注入し、ソースとドレインを形成する。抵抗を減らすため、10¹⁶Atoms/cm²と極めて高い濃度が望ましい。ただし、高濃度にイオン注入されたフォトリソは剥離が困難で、酸素のダウンフローアッシングにフッ素を添加すれ

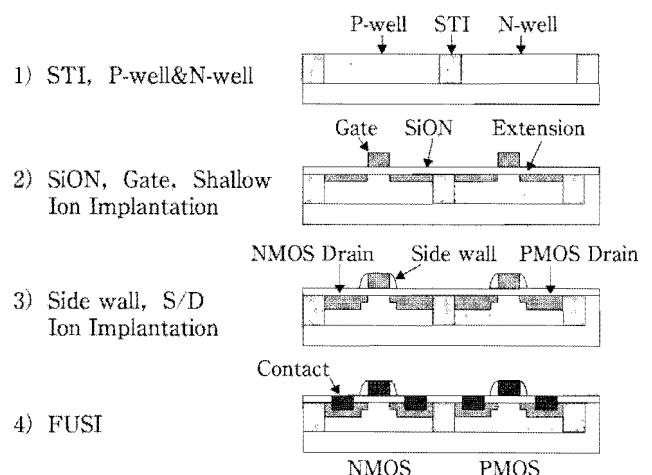


図2 CMOS LSIのFEP工程

本講座で用いる略語

BEP ; Back End Process
CNT ; Carbon Nano Tube
DDR DRAM ; Double Data Rate DRAM
EOT ; Equivalent Oxide Thickness
FEP ; Front End Process
FUSI ; Fully Silicide
HK/MG ; high-k and Metal Gate
KGD ; Known Good Die
SALICIDE ; Self-Aligned Silicide
STI ; Shallow Trench Isolation
TSV ; Through Silicon Via
Vth ; Threshold Voltage

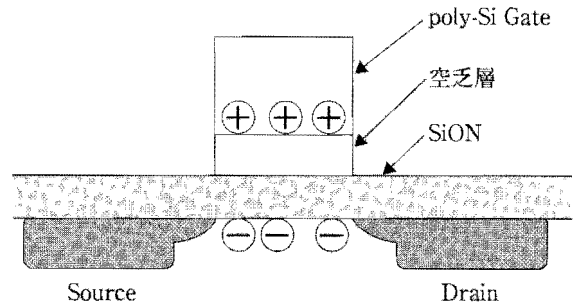
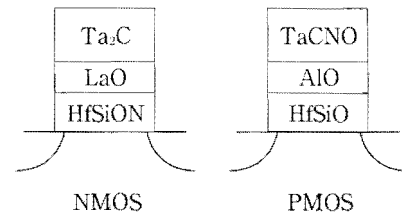


図3 poly-Siにできる空乏層



酸化膜にHf系のhigh-k膜を用い、ゲート電極に金属を用いると、両者の仕事関数の関係からMOSのVthがコントロールできない。そこで、NMOSとPMOSで異なった材料を用いる検討が行われ、極めて複雑な様相を呈している

図4 Double Metal Double Dielectricの例

るようになった。ところが、1nmは原子数個分の厚さであり、電子が絶縁物を通り抜けてしまう量子論の言うところのトンネル電流が流れてしまうため、MOSの動作は行えるが、余計な電流が流れることによりLSIの消費電力が大きくなってしまいます。ゲート電圧によりチャンネルに誘起される電荷は、次の式で表される。

$$Q = CV \propto kSV/d$$

(Qは電荷、Cはキャパシタ容量、kは誘電率、Sはゲートの面積、Vはゲート電圧、dはゲート酸化膜厚)

ドレイン電流を大きくするためにはQを大きく取りたいが、Sは縮小し、Vはどんどん下がりが、dを小さくするには限界に達しており、結局誘電率kを大きくする以外に方法がない。そこでkの大きな物質（すなわちhigh-k）の検討が行われ、Al₂O₃、ZrO₂、HfO₂、TiO₂、Ta₂O₅、Pr₂O₅、CeO₂、SrTiO₃、HfSiO₂、HfAlO₃などが候補として挙げたが、現在はHfSiONに落ち着いた感じである。HfO₂は、1000℃程度の高温で結晶化を起こすが、Nの添

ば剥離できるが、フッ素でSiやSiO₂が侵されるので工夫が必要である。

4. FUSI

ソース/ドレインのコンタクト部のSiO₂をエッチングしてSiを露出し、ウェーハ全面にNiをスパッタでデポジットし加熱すると、NiとSiが化合物を形成して、ゲートがメタル化され、ソース/ドレインの低抵抗コンタクトが取れる。

以上が、90nm、65nm世代で生産に使われているFEP工程の概略である。ソース/ドレインのコンタクトを取るためには、できるだけ高濃度で、ある程度の深さが必要なのに対して、短チャネル効果を防ぐため浅い接合が要求され、Extensionと呼ばれる張り出し部分を設ける必要がある。ゲート酸化膜は1nmと極めて薄く、チャンネルには歪みが導入されている。本稿では、これらについて解説する。

微細化に伴うCMOS LSIの問題点

DennardのMOS比例縮小則は、ゲート長が縮小されるにつれて成立するのが困難になり、0.1μm以下、すなわちナノメーター時代になって多くの問題が噴出し、従来のMOSとはかなり異なった構造を取らざるを得なくなった。微細化は、2年で70%の縮小のペースで進んでおり、06年に65nmノード、08年に45nmノードのCMOS LSIが生産開始されている。10年には32nmの時代を迎えるものと思われ、さらに22nmは12～13年頃になる可能性が高い。

1. ゲート酸化膜はHfO₂系に

比例縮小則では、パターン寸法が1/kになると、ゲート酸化膜の厚さも1/kに縮小する。どんどん縮小が続いた結果、ゲート酸化膜の厚さとして1nm以下が要求され

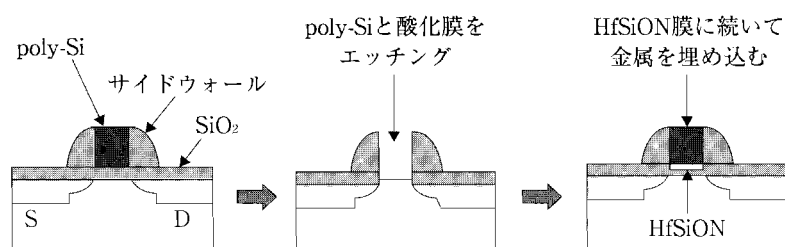


図5 ゲート・ラストのプロセス

加で防げる。SiO₂のk値は4に対して、HfO₂系は20程度なので、数倍の酸化膜厚（すなわち3nm程度）が許され、トンネル電流がまったく流れないので消費電力の大幅な改善が行われている。実際のMOSでは、Si表面での再結合を防ぐためSiO₂（0.5nm程度と薄い）を1層入れてその上にHf系の膜を2nm程度積んでいる。ただし、SiO₂がSiとOでネットワークを形成するのに対して、HfO₂はイオン性結合で電荷を持ち、ゲート電極やSiへの電荷移動が起こってV_{th}変動の原因となる。Nの添加で若干のネットワーク性を持たせることができる。また、SiO₂を挟むと、それだけ酸化膜が厚くなり、EOT<1nmの実現が困難なので、SiO₂がなくても良いという研究報告も出てきた。このような薄膜の形成には、ALD（Atomic Layer Deposition）が望ましいが、必ずしもALDを使っていない場合もある。

2. ゲート電極はメタルに

ゲート電極は長年poly-Siが用いられてきた。CVDで薄膜が容易に得られ、不純物汚染が少なく、1000℃以上の高温に耐える優れた物性を持つためである。ところが、poly-Siも半導体の一種であり、電圧がかかると図3のように空乏層ができてしまい、酸化膜による容量と直列に空乏層による容量が発生し、トータルの容量を減少させてしまう。せっかくhigh-k膜を用いて容量を大きくしても台なしである。そこで、空乏層が発生しない金属を用いることになる。ゲート電極のメタル化は、数年前からSALICIDEプロセスが用いられている。すなわち、ゲートをpoly-Siで作り、ソースとドレインの電極コンタクト部もSiを露出しておき、CoやNiを全面コートして加熱すると、CoやNiがSiと反応してシリサイドとなる。ゲートとソース/ドレインをセルフアラインでシリサイド化

するので、SALICIDEと呼ばれる。また、ゲートのpoly-Siはすべてシリサイド化されることが望ましいので、これをFUSIと呼んでいる。32nmノード以降は、さらにコンタクト抵抗を下げるため、PtシリサイドやYbシリサイドなどが注目される。金属材料として、Ti系、Ta系、Mo系、W系などの高融点金属やその化合物を用いる案もある。

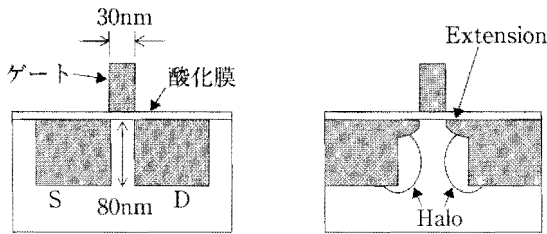
32nmのMOSでHfO₂系の酸化膜が用いられると、ゲート材料との仕事関数の組み合わせが問題となり、一例として図4のようにNMOSにはLaOを、PMOSにはAlOを薄く挟んで加熱すると、これらがHfSiON中へ拡散してV_{th}制御ができるようになると言われている。これらの異なった材料を用いる必要が出てきて、構造やプロセスが複雑になってきた。製造には、NMOSのプロセスの時にはPMOS部分をSiNなどで覆い、PMOSの場合はNMOSを覆う必要があるので、非常に手間のかかるプロセスとなる

HK/MGのプロセスの順番は、普通に酸化膜、ゲート電極、ソース/ドレインイオン注入の順番に作成すると、ソース/ドレインの1000℃程度のアニールで酸化膜の性質が変化する恐れがある。そこで、図5のように、poly-Siで仮のゲート電極を形成し、ソース/ドレインを形成後にpoly-Siを剥離して、酸化膜とゲート金属を埋める方法（Gate last, Replacement Gate, Damascene Gateなどと呼ばれる）が行われている。Intelは45nmの生産からこの方法を用いて良好な特性を得ており、他社は32nmから採用することになるらしいが、コストを重視する場合は、SiON膜が採用される。

3. チャネル・コントロール

ゲート長がナノメートル以下になると短チャネル効果の抑制が困難となり、ソース/ドレインのExtension部に極浅接合が要求され、さらに内部にはHaloと呼ばれるイオン注入層を設ける必要が出てきた。この様子を図6に示す。

Extension部は、浅いイオン注入を行い、可能なら10nm程度の接合深さにしたいが、こんなに浅いイオン注入はかなり困難であり、その後の不純物活性化アニールの高温によって拡散が起こり、接合が深くなってしま



対策がない場合
ゲート長が30nmで
ソース/ドレイン深さが
80nmの場合

ソース/ドレイン間の
短チャネル効果を防ぐ
ため、Haloイオン注入
を行う

図6 短チャネル効果を防ぐ工夫

う。現在考えられている方法は、イオン注入の加速エネルギーを1keV以下に下げるか、 B_5H_{12} のような巨大なクラスターイオンを1個のイオンとして加速し、加速度を1/20程度に下げ、浅い接合を得るからである。また、高温処理での拡散は、加熱処理時間の平方根に比例するので、極短時間の加熱を行って拡散を防ぐことが重要である。そこで、RTA (Rapid Thermal Anneal) を行い、短時間で1000℃近くまで加熱し、約10秒間保持してから降温するプロセスが用いられたが、65nmノードではそれでは不十分で、高温で1秒以下の短時間を保持するスパイクアニールが行われるようになった。45nm以降では、さらに短時間のレーザまたはフラッシュランプアニールによるミリ秒の超短時間高温アニールが要求されている。

4. キャリヤ移動度の向上

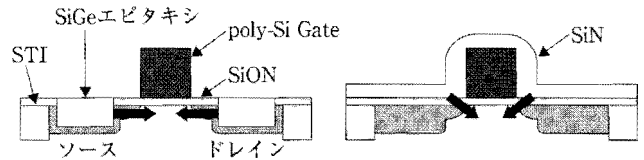
MOSのドレイン電流は、次の式で近似されるが、微細化に伴い電流値が十分取れなくなってきた。

$$I_{\text{sat}} = \frac{mW}{L} \mu_{\text{eff}} C_{\text{ox}} (V_g - V_{\text{th}})^2$$

(I_{sat} はドレイン飽和電流、 m は定数、 W はチャネル幅、 L はチャネル長、 μ_{eff} は実効的移動度、 C_{ox} は酸化膜容量、 V_g はゲート電圧、 V_{th} はしきい値電圧)

そこで、この式の移動度 μ_{eff} を大きくして、ドレイン飽和電流を大きくするため電子や正孔の移動度の向上に知恵を絞っている。

また、動作の遅延時間も次の式で近似され、 μ_{eff} を大きくすると改善される。



ソース・ドレインをエッチングし、SiGeをエピタキシで埋め込むと矢印の方向に圧縮応力が発生する。SiCを埋め込むと、これと逆に引っ張り応力が発生する

ゲート電極の上に被さるようにSiN膜をCVDでデポジットするとCVDの生成条件に応じて矢印のような圧縮応力が発生する

図7 チャンネルへの歪みの導入方法

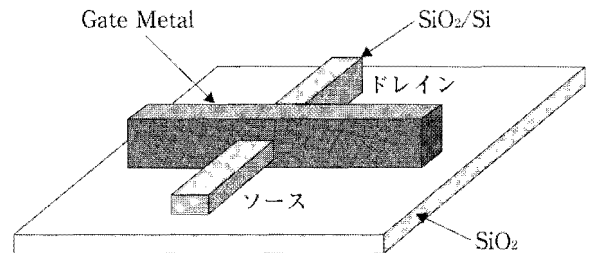


図8 FinFET

$$t_{\text{pd}} = \frac{2L^2 V_{\text{D}}}{\mu_{\text{eff}} (V_g - V_{\text{th}})^2}$$

(t_{pd} は遅延時間、 L はチャネル長、 V_{D} はドレイン電流、 μ_{eff} は実効的移動度、 V_g はゲート電圧、 V_{th} はしきい値電圧)

Si結晶に歪を与えると、電子や正孔の移動度が変化することは古くから知られていたが、これを積極的に利用する技術がIBMから発表され、従来プロセスでも実現できることから、すでに一般の生産に用いられている。歪の入れ方には下地のSiにGeをドーピングし、格子定数を大きくしてチャネル部に歪を与える方法がとられたが、その後、図7のように色々な提案があり、32nmノード以降のプロセスとしてこれらを組み合わせた方法が採用されるだろう。結晶軸方向も移動度に大に関係し、NMOSには(100)、PMOSには(110)が有利で、両者を両立させる研究発表はあるが、実用化は簡単ではない。将来の話では、Si上にNMOS用として化合物半導体(例えばInGaAs)を用い、PMOSにGeを用いる研究が話題

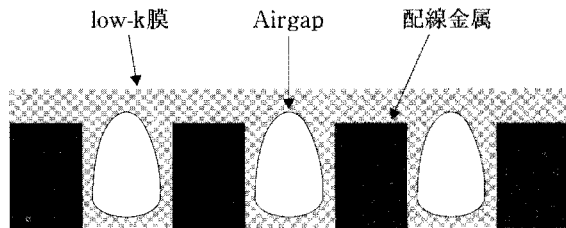


図9 エアギャップ

となっているが、実用化のメドは立っていない。15年よりさらに先であろう。

5. MOS構造も立体化へ

微細化が進んで、16nm ノードになると、これまでの比例縮小則では十分な電流が取れず行き詰まると懸念され、代わって図8のようなFin型やナノチューブが用いられる可能性がある。これらは、側面や下面を利用するので電流が多く取れ、短チャネル効果も防げるので有望なデバイスであるが、膜付けやイオン注入などのプロセスの革新が必要となり、生産導入は15年以降になると思われるので、ここではこれ以上は触れないこととする。

6. BEPは、low-kからエアギャップへ

配線が微細化されると、配線の断面積が縮小されて電気抵抗が大きくなる。また、配線間の距離も縮小されると配線間で形成される寄生容量が大きくなる。配線での遅延は、抵抗と容量の積 ($C \times R$) となるので、微細化により $C \times R$ がともに大きくなってLSI動作が遅くなってしまう。これを防ぐため、AlからCuへの切り替えは

順調に進んだが、誘電率が低いlow-k膜への切り替えは難渋している。

Cu配線のDual Damascine工程は一般化しているが、微細化するにつれバリア金属の厚さが相対的に厚くなり、Cu配線の断面積が縮小している。このため、バリア金属の薄膜化が極めて重要となり、従来のTaからRuやTi系に変える動きがある。

配線工程では、ポーラスlow-k膜が用いられつつある。有機シリカガラスにボロゲンを入れてCVDで成膜し、熱処理で膜中に空孔を形成する。これで比誘電率2.3~2.7程度が得られる。空孔率を高めればkを下げられるが、スポンジのような柔らかい膜になってしまい、その上の配線やワイヤボンドなどの圧力をかける工程で問題が発生する。従って、 $k < 2$ を求めるなら、エアギャップの採用となる。エアギャップの作成方法としては、様々な研究が発表されているが、まだ標準的なプロセスは固まっておらず、各社まちまちのプロセスでスタートすることになりそうである。

7. 配線の将来

Cu配線、ポーラスlow-k、エアギャップを用いても、配線による遅延は今後のトランジスタの微細化による高速動作には所詮追いつかない。そこで、次の手として注目されているのがカーボンナノチューブ(CNT)による配線と、光配線である。

CNTは、Cuに比べて電気抵抗が極めて小さく画期的な材料である。ただし、Niなどの金属微粒子を核として

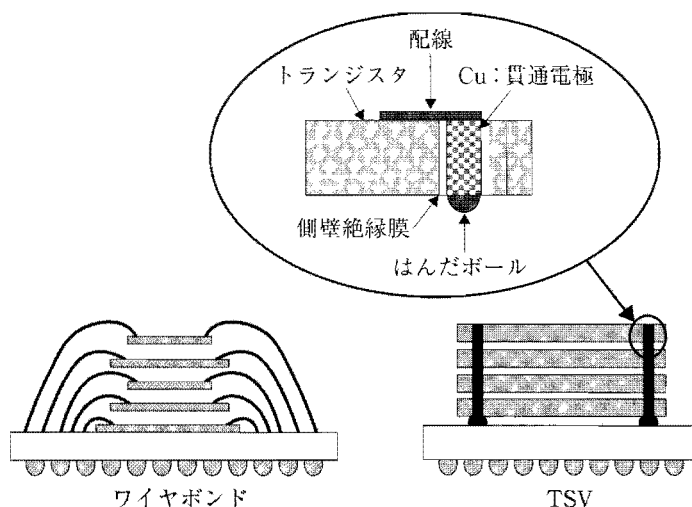


図10 チップスタック

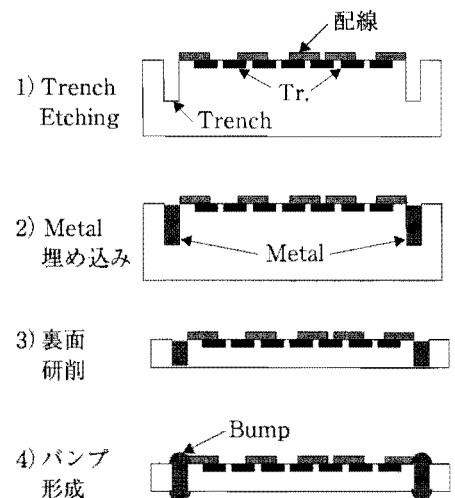


図11 TSVの製法

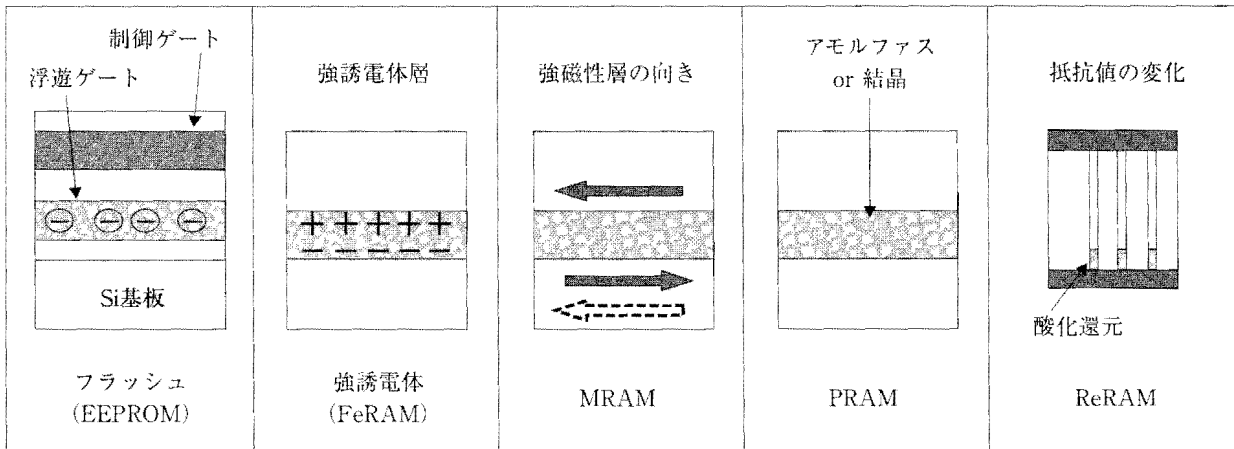


図12 不揮発性メモリの色々

CVD成長するので、現在までの研究ではviaを埋めるのは比較的簡単にできるが、所定の場所に水平方向に配線するのは困難である。光配線については、光源のレーザ、受光素子のフォトダイオード、導波路としてSiONのCVD技術など、基本的な技術は揃っているが、LSIチップに適用するとなると、これらを上手く配置するのが困難でまだまだ見通しが立っていない。まず、プリント基板間やチップ・チップ間から実用化されると思われる。この他、無線でチップ間の電送を行う技術が注目されており、実用化に近いという意見もあるが、ここでは省略する。

パッケージ工程

現在もエポキシ樹脂モールド型が主流であることに変わりはないが、最近の大きな話題はチップ積層である。チップ積層には、図10のように2種類の方法が用いられている。ワイヤボンダ法は、以前からの技術の流用であるが、非常に多くのワイヤが蜘蛛の巣のように張り巡らされているので、ちょっと見ただけでショートなど起こらないか心配になる。絶縁膜被覆のAu線も開発されているが、まだ一般的ではないようである。

より高密度にスタックするならTSVが有利である。TSVは、まずイメージセンサから実用化が始まり、次いでメモリに採用される気運である。特に高速動作が要求されるDDR DRAMなどには配線長を短くできるので有利である。先々は、メモリとロジックをスタックし、化合物半導体など異種材料との結合も行われる可能性がある。当面は、ワイヤボンダに比べてコスト高という意

見もあるので、コストダウンが重要となる。

図11にTVSのプロセスを示す。FEP直後にTSVを行うのをVia Firstと呼び、配線が終わった後に行うのをVia Lastと呼んでいる。TSVの寸法では、開口 $5\mu\text{m}$ 、アスペクト比5なら、 $25\mu\text{m}$ の孔ができ、この程度が現状のチャンピオンと思われる。その場合、ウェーハ厚は当然 $25\mu\text{m}$ より薄く研削・研磨する必要がある。

以上は、KGDのチップをスタックする方法であるが、チップとウェーハや、ウェーハとウェーハを積層する研究も盛んに行われている。どれが優れているというわけではなく、用途によって使い分けられていくだろう。

期待される不揮発性メモリ

以上で、通常のCMOS LSI技術について考察したが、不揮発性メモリについて一言触れておきたい。図12に現在話題になっている不揮発性メモリの概略を示す。現在、NAND型フラッシュメモリが大量産されており、次いでFeRAMが一部で実用化されている。その他のMRAM、PRAM、ReRAMは、そろそろ実用化の時期を迎えており、コスト次第ではNAND型フラッシュメモリに置き換わる可能性を秘めている。また、ロジック回路に用いてパワーゲーティングにより省電力化ができる。本誌9月号に日立製作所、ローム、NECから貴重な記事を頂いているので、参照して頂きたい。

以上、CMOS LSI技術の現状と動向を考察した。次月号では、これらのデバイス構造を製作するためのプロセスについて報告する予定である。